

# 卒業論文

---

---

題目

有機金属気相成長法による  
CdTe 系材料の成長と放射線検出器への応用に関する研究

---

---

指導教官

安田 和人 教授

名古屋工業大学 第一部 システムマネジメント工学科

平成14年度入学 12119645

鍵井 清幸

(平成16年2月13日提出)

# 目次

<b>第1章</b>	<b>序論</b> .....	<b>1</b>
<b>第2章</b>	<b>成長条件および評価方法</b> .....	<b>4</b>
2.1	はじめに.....	4
2.2	成長装置.....	4
2.3	成長原料及び成長基板について.....	4
2.3.1	成長原料.....	4
2.3.2	成長基板.....	5
2.4	成長手順.....	5
2.5	評価方法.....	6
2.5.1	表記.....	6
2.5.2	劈開断面観察および表面モフォロジ.....	7
2.5.3	結晶性.....	7
2.5.4	光学特性.....	7
2.5.5	電気特性.....	7
<b>第3章</b>	<b>低温CdTeバッファ層形成したダイオードの作製と評価</b> .....	<b>18</b>
3.1	はじめに.....	18
3.2	成長条件.....	18
3.3	表面モフォロジの評価.....	19
3.4	2結晶X線回折による結晶性の評価.....	19
3.5	電流-電圧特性の評価.....	19
3.5.1	整流性の評価.....	19
3.5.2	逆方向電流-電圧特性の評価.....	19
3.5.3	逆方向電流-電圧特性の温度特性の評価.....	20
3.5.4	逆方向電流-電圧特性のダイオード径依存特性の評価.....	21
3.6	容量-電圧特性の評価.....	21
3.7	Hall測定による電気特性の評価.....	22
3.8	今後の課題.....	22
3.9	まとめ.....	23
<b>第4章</b>	<b>I doped CdTeバッファ層を形成したダイオードの作製と評価</b> .....	<b>34</b>
4.1	はじめに.....	34
4.2	成長条件.....	34
4.3	表面モフォロジの評価.....	35
4.4	2結晶X線回折による結晶性の評価.....	35
4.5	電流-電圧特性の評価.....	35

4.5.1	整流性の評価.....	35
4.5.2	逆方向電流-電圧特性の温度特性の評価.....	36
4.5.3	逆方向電流-電圧特性のダイオード径依存特性の評価.....	36
4.6	容量-電圧特性の評価.....	36
4.7	TOF測定によるキャリア輸送特性の評価.....	37
4.8	パッシベーションによる電気特性の改善.....	37
4.8.1	パッシベーションの目的.....	37
4.8.2	逆方向電流-電圧特性の評価.....	38
4.9	今後の課題.....	38
4.10	まとめ.....	38
<b>第5章</b>	<b>ZnS/Si基板上へのCdTe層成長と評価.....</b>	<b>52</b>
5.1	はじめに.....	52
5.2	成長条件.....	52
5.3	剥離に関する検討.....	53
5.4	表面モフォロジの評価.....	53
5.5	X線回折による結晶性の評価.....	54
5.6	PL測定による光学特性の評価.....	54
5.7	今後の課題.....	55
5.8	まとめ.....	55
<b>第6章</b>	<b>GaAs基板上へのCdZnTe層成長と評価.....</b>	<b>63</b>
6.1	はじめに.....	63
6.2	成長条件.....	63
6.3	X線回折による結晶性の評価.....	64
6.4	Zn組成 DMZn供給率依存性.....	64
6.5	成長速度-DMZn供給率依存性.....	64
6.6	Zn組成 ホットウォール温度依存性.....	65
6.7	成長速度 ホットウォール温度依存性.....	65
6.8	PL測定による光学特性の評価.....	65
6.9	今後の課題.....	66
6.10	まとめ.....	66
<b>第7章</b>	<b>結論.....</b>	<b>78</b>
	<b>参考文献.....</b>	<b>85</b>
	<b>謝辞.....</b>	<b>86</b>

# 図表目次

図2-1	リアクタの概略図 .....	12
図2-2	2 結晶X線回折 .....	13
図2-3	フォトルミネッセンス測定 .....	13
図2-4	Hall測定.....	14
図2-5	TOF測定 .....	14
図2-6	メサ型ダイオードの形成手順.....	15
図2-7	ガードリングマスク .....	16
図2-8	パッシベーション処理 .....	17
図3-1	低温CdTeバッファ層を用いたダイオード構造 .....	25
図3-2	成長条件.....	26
図3-3	表面モフォロジ .....	27
図3-4	電流-電圧特性.....	28
図3-5	逆方向電流 電圧特性 .....	29
図3-6	逆方向電流-電圧特性の温度特性 .....	30
図3-7	逆方向電流-電圧特性のダイオード径依存特性.....	31
図3-8	容量 電圧特性.....	32
図3-9	逆方向電圧による空乏層幅の変化 .....	33
図4-1	I doped CdTe中間層を用いたダイオード構造 .....	41
図4-2	逆方向電圧を加えた場合のバンド構造 .....	41
図4-3	成長条件.....	42
図4-4	CdTe厚膜層表面モフォロジ.....	43
図4-5	電流-電圧特性.....	44
図4-6	逆方向電流-電圧特性の温度特性 .....	45
図4-7	逆方向電流-電圧特性のダイオード径依存特性.....	46
図4-8	容量 電圧特性.....	47
図4-9	逆方向電圧による空乏層幅の変化 .....	48
図4-10	TOF電流波形 .....	49
図4-11	TOF測定による移動度の算出 .....	50
図4-12	パッシベーション処理による逆方向電流-電圧特性.....	51

図5-1	逆方向電圧を加えた場合のバンド構造 .....	57
図5-2	低温CdTeバッファ層を用いない場合の成長条件.....	58
図5-3	低温CdTeバッファ層を用いた場合の成長条件 .....	59
図5-4	表面モフォロジ .....	60
図5-5	ZnS/Si基板上のCdTe層X線回折スペクトル.....	61
図5-6	ZnS/Si基板上のCdTe層のPL測定による光学特性の評価.....	62
図6-1	成長条件.....	68
図6-2	結晶性評価 .....	69
図6-3	Zn組成 DMZn供給率依存性 (Tw依存性) .....	70
図6-4	Zn組成-DMZn供給率依存性 (VI/II比依存性) .....	71
図6-5	成長速度-DMZn供給率依存性 (Tw依存性) .....	72
図6-6	成長速度 DMZn供給率依存性 (VI/II比依存性).....	73
図6-7	Zn組成 ホットウォール温度依存性.....	74
図6-8	成長速度 ホットウォール温度依存性 .....	75
図6-9	PL測定による光学特性 .....	76
図6-10	DAPピークエネルギー-Zn組成特性 .....	77
表1-1	一般的なX検査による被爆量.....	1
表1-2	ICRP(国際放射線防護委員会)の勧告による累積被爆量の限度 .....	2
表2-1	有機Te化合物の熱分解温度と蒸気圧 <sup>12) 13) 14)</sup> .....	5
表2-2	表記 .....	7
表3-1	低温CdTeバッファ層を形成したCdTe厚膜層の成長条件.....	19
表4-1	I doped CdTeバッファ層を形成したCdTe厚膜層の成長条件.....	35
表5-1	ZnS/Si基板へのCdTe層の成長条件.....	53
表5-2	材料の格子定数と格子ミスマッチ .....	53
表5-3	材料の熱膨張係数と相対数誤差(300[K]).....	53
表6-1	GaAs基板へのCdZnTe層の成長条件 .....	63

# 第1章

## 序論

本研究の目的は、有機金属気相成長(Metal-organic Vapor Phase Epitaxy:MOVPE)法によるCdTe系材料を用いた、高性能大面積X線・線検出器を実現することである。以下の3つの項目に関して研究を行った。

[1] CdTe厚膜層を用いたダイオードの作製と電気特性評価

[2] 大面積化と電気特性の改善を目的とするSi基板上へのCdTe層の成長と結晶性評価

[3] 検出器の性能向上を目的とするCdZnTe層の成長と結晶性評価

以下に本研究の背景と意義を述べる。

医療用のX線・線撮影装置では装置の小型化、デジタル画像処理による診断精度と診断速度の向上を目的とした検出器の固体素子化が急速に進められている。現在、a-Se光導電体とa-Si TFT<sup>1)</sup>や、シンチレータとSiダイオード<sup>2)</sup>の組合せによる検出器等が開発されている。しかしながら、これら検出器ではa-SeやシンチレータのX線・線検出効率が低いため、診断時の患者被曝量の制限から実時間観察は行えない。また、巨大な冷却装置を必要とし、販売コスト、ランニングコストを上げる原因となっている。X線・線検出感度を向上し実時間観察可能なX線・線検出器を実現するためには、新たな材料および素子構造による高性能検出器の開発が必要である。一般的なX線検査による被曝量を表1-1に示す。また、ICRP(国際放射線防護委員会)の勧告による累積被曝量の限度を表1-2に示す。胸部直接X線撮影には約0.1[mSV/回]の被曝をするがCTによる断層撮影を行うとその200倍近い被曝をすることになる。CdTe系材料を用いることによって現状で多くの機器で使われているSiダイオードと比べて数十倍近い感度を得ることができる。CdTe系材料を用いることによって被曝量を減少させ、撮影精度を向上させることができる。また、高感度固体素子を用いることによって撮影時間を短縮し、患者の負担を減少させることが可能である。

表1-1 一般的なX検査による被曝量

検査名	被曝量[mSV/回]
胸部直接X線撮影	約0.1
胸部間接X線撮影	約0.2 ~ 2.0
胃透視	約15
胸部CT撮影	約20

表1-2 ICRP(国際放射線防護委員会)の勧告による累積被曝量の限度

対象	累積被曝量
実効線量当量限度	50[mSV/年]
目の水晶体	150[mSV/年]
目の水晶体以外の組織	500[mSV/年]
妊娠可能な女子の腹部	13[mSV/3ヶ月]
妊娠中の女子の腹部	10[mSV/出産まで]

CdTeは平均原子番号が50と大きいので、X線や $\gamma$ 線に対する吸収断面積が大きい。また、常温における禁制帯幅が1.49[eV]と大きいので、常温動作可能なX線・ $\gamma$ 線検出器として小型のX線・ $\gamma$ 線検出器が実用化されている。

現在、CdTeを用いたX線・ $\gamma$ 線検出器にはTHM(Traveling Heater Method)法で作製された500[ $\mu$ m]の高抵抗のバルクCdTe結晶が用いられている。これらの検出器では、素子の両面に電極をつけ、高電圧を印加し、発生したキャリアを検出している。しかし、THM法では最大で3インチ程度しか成長できず大面積バルクCdTe結晶を作製することは困難である。さらに、バルク結晶では面内での結晶性や電気的特性が不均一という問題がある。また、現在実用化されている検出器は、バルク結晶の両面に電極を作製して1[mm]×1[mm]程度の大きさに切り出して素子を作製している。バルク結晶を用いて医療分野で必要とされる大面積検出器アレイを作製するには、素子を多数配列しなければならないため現実的には不可能である。

これらの問題はMOVPE法によるエピタキシャル成長層を用いることにより解決できる。MOVPE法ではGaAsやGaAs/Si等の基板の上に高品質CdTe層を成長可能である<sup>3)</sup>。そして、現状GaAs基板の最大口径4インチ程度まで大型化も可能となる。また、成長時にヒ素<sup>4)</sup>やヨウ素<sup>5)</sup>を不純物として添加することにより成長層の伝導型とキャリア密度の制御が可能であり、pn接合を用いることにより新たな検出器が実現できるため検出器の高性能化が可能となる。さらに、500[ $\mu$ m]の厚膜を組み合わせることで、バルク結晶では作製不可能な本研究の目的である高性能大面積X線検出器が実現できる。

CdTe層をX線・ $\gamma$ 線検出器として用いる場合、X線・ $\gamma$ 線に対する検出効率を高めるためには100～500[ $\mu$ m]程度の膜厚が必要である<sup>6)</sup>。これまで行ってきた研究では、薄膜成長での成長条件をもとに100[ $\mu$ m]程度の膜厚を成長させることを試みてきた<sup>7) 8) 9)</sup>。これまでの研究で成長基板温度を高温にすることによって成長速度が速くなることがわかった。GaAs基板の上にCdTe厚膜層を成長した場合、CdTe厚膜層の結晶性は良好であり、CdTe厚膜層を検出器に利用できる可能性があることがわかった。しかし成長基板温度を高温にした結果、電気的特性が低下し、キャリアのドリフト信号が確認されなかった。高温で成長させた場合GaAs基板からGa拡散が発生し、深いトラップ準位を形成してしまうことがわかった。本研究では、低温バッファ層を用いてGa拡散を低減化し、成長基板温度をこれまでより高温とし高速に層成長を行った。また、得られたCdTe層を用いてダイオードを作製し結晶性、電気特性についても評価を行った。

X線・ $\gamma$ 線検出器の大面積化については、成長基板にGaAsを利用した場合に現状基板の最大口径4インチ程度までのCdTe層の大面積化が可能であると見込める。しかし、さらに大面積化を計るためには成長

基板にSiを利用することが望ましい。この場合、現状基板の最大口径である12インチ程度までのCdTe層の大面積化が可能であると見込める。また検出器コストの大幅な低減化ができる。そこで本研究ではSi基板上へのCdTe層直接成長の基礎検討としてZnS/Si基板上に2つの成長条件によりCdTe層の成長を行い、得られたCdTe厚膜層の結晶性および光学特性について評価した。

また、CdTe層にZnを添加することによって、平均原子番号が減少するが、禁制帯幅が増加し、暗電流の低減化ができる。暗電流の低減化によって、検出器の信号対雑音(S/N)比を向上させ検出効率を向上させることができる。そこで本研究ではGaAs基板上にCdZnTeを成長させ、Zn組成の制御性を向上させるための成長条件を検討した。

本論文は以下のように構成される。

## 第2章 成長条件および評価方法

第2章では本研究で用いた実験装置、実験手順、実験の評価方法について述べる。

## 第3章 低温CdTeバッファ層形成したダイオードの作製と評価

第3章では低温CdTeバッファ層を形成したダイオードを作製することにより、ダイオードの特性を向上させることを検討した。その素子を用いて電流-電圧特性、容量-電圧特性の評価をした。

## 第4章 I doped CdTeバッファ層を形成したダイオードの作製と評価

第4章では中間層にI doped CdTeバッファ層を用いCdTe厚膜層を形成させたダイオードを製作し、その素子を用いて電流-電圧特性、容量-電圧特性、TOF測定を評価した。

## 第5章 ZnS/Si基板上へのCdTe層成長と評価

第5章ではSi基板を用いた検出器を得るための基礎検討として、Si基板上へバッファとしてZnSを積んだ基板を用いてCdTe層を成長させた。そして結晶性、光学特性について評価した。

## 第6章 GaAs基板上へのCdZnTe層成長と評価

第6章ではGaAs基板上へCdZnTe層を成長させ、CdTeからZnTe全域にわたる組成制御性の向上のための検討を行った。また、成長させたCdZnTe層を用いてホットウォール温度、VI/II比、DMZn供給率を変化させることでそれらの依存性、結晶性、光学特性の評価を行った。

## 第7章 結論

第7章では本研究で得られた結果を要約し、本論文の結論を述べる。

## 第2章

# 成長条件および評価方法

### 2.1 はじめに

本章ではMOVPE法によるCdTe系材料の成長に用いた成長装置、成長原料、成長基板および成長手順について述べる。また、成長層の評価方法について述べる。

### 2.2 成長装置

本研究では、成長装置に常圧ホットウォール縦型MOVPE装置を用いた。成長装置の概略図を図2-1に示す。この成長装置にはリアクタ(成長室)と取出室があり、ともにステンレス製である。リアクタ天井にはII族原料供給ライン、VI族原料供給ライン、ドーパント供給ラインがあり、それぞれは独立している。リアクタ上部の管壁に抵抗加熱ヒータと熱電対を設置し、管壁温度(ホットウォール温度)を制御した。また、リアクタにはロータリーポンプを接続し、減圧成長を行うことも可能である。

成長基板はカーボン製サセプタ上に配置し、基板の加熱はサセプタ支持棒中に設置した抵抗加熱ヒータを用いて行った。基板温度は支持棒中に取り付けた熱電対によりモニタした。これまでに、成長基板温度は設定温度より約300[ ]低いことがわかっている。

本研究に用いた装置では、純化装置により99.99999[%](7N)まで純化した水素をキャリアガスとして用いた。各有機原料は、恒温槽によって一定温度に保たれているバブラ容器内を通したキャリアガスによって、リアクタ内へ導入した。成長原料の供給量はマスフローコントローラによりキャリアガス流量を調整することで制御した。

サセプタの位置は可変であり、本研究では原料流入口から30[mm]下に固定した。これは原料流入口から基板までの距離を30[mm]と狭くすることで原料の対流を防止するためである。また、サセプタを10[rpm]で回転させ、成長層の組成および膜厚の均一化を図った。

排ガスは活性炭を満した吸着筒を通して廃棄した。

### 2.3 成長原料及び成長基板について

#### 2.3.1 成長原料

MOVPE法によるCdTe層の成長原料には、ジメチルカドミウム $\{(CH_3)_2Cd : DMCd\}$ と有機Te化合物の組み合わせが一般的に用いられる。有機Cd化合物としてDMCdが用いられる理由は、常温で適当な蒸気圧(28[Torr], 20[ ]<sup>9)</sup>)を持つため供給量が制御しやすいこと、415 ~ 560[ ]の範囲での成長に適した熱分解度(230[ ]以上)<sup>11)</sup>であり、高純度の原料が入手可能なためである。

代表的な有機Te化合物の熱分解温度と蒸気圧を表2-1に示す。有機Te化合物にはジメチルテルル $\{(CH_3)_2Te : DMTe\}$ 、ジエチルテルル $\{(C_2H_5)_2Te : DETe\}$ 、ジイソプロピルテルル $\{(C_3H_7)_2Te : DiPTe\}$ 、ジターシャルブチルテルル $\{(C_4H_9)_2Te : DtBTe\}$ がある。このうち、DMTeは蒸気圧が高く供給量の制御が難しい。

また、DtBTeは分解しやすく気相反応を生じやすいために減圧成長を必要とし、制御が困難である。

これらの理由により、本研究では高純度の原料が入手可能で適当な蒸気圧を持つDETeを成長原料に用いた。

CdTe層のn型ドーパントとしてエチルヨウ素(C<sub>2</sub>H<sub>5</sub>I: EI)を用いた。

CdZnTe層の成長の場合は、Zn原料として過去の研究においてII族の塩基をそろえることによって良好な結果を示した、ジメチルジnk{(CH<sub>3</sub>)<sub>2</sub>Zn: DMZn}を用いた。

表2-1 有機Te化合物の熱分解温度と蒸気圧<sup>12) 13) 14)</sup>

原料名	化学式	熱分解温度[ ]	蒸気圧[Torr]
ジメチルテルル	(CH <sub>3</sub> ) <sub>2</sub> Te: DMTe	~ 500	65(at 30[ ])
ジエチルテルル	(C <sub>2</sub> H <sub>5</sub> ) <sub>2</sub> Te: DETe	~ 410	12(at 30[ ])
ジイソプロピルテルル	(C <sub>3</sub> H <sub>7</sub> ) <sub>2</sub> Te: DiPTe	~ 370	5.6(at 30[ ])
ジターシャルブチルテルル	(C <sub>4</sub> H <sub>9</sub> ) <sub>2</sub> Te: DtBTe	~ 320	4(at 40[ ])

### 2.3.2 成長基板

高品質のCdTeエピタキシャル成長は格子不整合のないCdTe基板で行われるのが望ましい。しかしながら、CdTe基板には、大面積基板を制作する成長技術が確立されていない、単位面積あたりの価格が高い、機械的強度が弱い、等の問題がある。このため、本研究では高品質の大面積基板が入手可能な半絶縁性(100)GaAs基板を主に用い、Siドーパした(100)n<sup>+</sup>GaAs基板(不純物密度 $1 \times 10^{18} \sim 4 \times 10^{18}[\text{cm}^{-3}]$ )、(111)Si上にZnS薄膜が電子ビーム蒸着してあるZnS/Si基板も用いた。ZnS/Si基板については第5章で詳しく述べる。

## 2.4 成長手順

成長手順を以下に示す。なお、「[3]成長層の成長開始後の成長」に温度および時間に関しては、各々成長条件として各章で詳しく述べる。

GaAs基板上へのCdTe層およびCdZnTe層の成長手順

#### [1] 基板のエッチング

- (a) アセトン中で煮沸洗浄し、表面の有機物を除去
- (b) 脱イオン流水中で洗浄(3分間)
- (c) H<sub>2</sub>SO<sub>4</sub>中で酸化膜を作製(1分間)
- (d) 脱イオン流水中で洗浄(3分間)
- (e) H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O<sub>2</sub>=5:1:1溶液中でエッチング(5分間)
- (f) 脱イオン流水中で洗浄(5分間)

エッチング終了後直ちに基板をリアクタに導入した。

#### [2] サーマルクリーニング

- (a) GaAsにおいて、エッチングによりAsリッチになった基板表面をGa安定化させるため、水素雰

雰囲気中で15分間アニールを行った。

- (b) Si基板において、エッチングにより水素終端した基板表面をSi安定化させるため、水素雰囲気中で15分間アニールを行った。

[3] 成長層の成長開始

Te原料を供給して基板表面を数原子層のTe原料で覆った後、DMCdを供給して成長を開始した。

[4] 成長終了

所定成長時間経過後にすべての原料供給を停止し、室温まで下げた。

なお、ZnS/Si基板は以下の手順で洗浄を行った。

ZnS/Si基板の洗浄手順

- (a) アセトン中で煮沸洗浄し、表面の有機物を除去  
(b) メタノールで洗浄

洗浄終了後直ちに基板をリアクタに導入した。

## 2.5 評価方法

### 2.5.1 表記

図中に示す「CdTe/GaAs」とは、GaAs基板上にCdTeを成長したことを示している。「CdTe/CdTe/GaAs」とはCdTe層の意味合いが異なる場合である。「T<sub>g</sub>」とは成長基板温度を示している。「T<sub>w</sub>」とはホットウォール温度を示している。「VI/II」とはVI族とII族の原料供給比率を示している。「Thickness」とは成長した膜厚を示している。「Growth time」とは成長時間を示している。「DMZn rate」および「DMZn/(DMCd+DMZn)」とはDMZn供給率を示している。CdZnTeのPL測定における「x」とはZn組成を示している。

表2-2 表記

名称	説明
CdTe/GaAs	GaAs基板の上にCdTeを成長した
CdTe/CdTe/GaAs	CdTe層の意味合いが異なる場合
Tg	成長基板温度
Tw	ホットウォール温度
VI/II	VI族とII族の原料供給比率
Thickness	膜厚
Growth time	成長時間
DMZn rate	DMZn供給率
DMZn/(DMCd+DMZn)	
x	Zn組成(CdZnTeのPL測定)

### 2.5.2 劈開断面観察および表面モフォロジ

成長層の膜厚はノマルスキー光学顕微鏡(NOM)を用いた成長層の劈開断面観察による膜厚測定から決定した。また、表面状態を確認するために成長層の表面モフォロジを観察した。

### 2.5.3 結晶性

成長層の結晶性は図2-2に示す2結晶X線回折( $\text{CuK}\alpha_1$ , (100)Si)による(400)回折線のロッキングカーブ(Double Crystal X-ray Rocking Curve: DCRC)の半値幅(Full Width at Half Maximum: FWHM)から評価した。CdZnTe層のZn組成はX線回折(X-ray Diffraction: XRD)による格子定数測定から決定した。

### 2.5.4 光学特性

成長層の光学特性は図2-3に示すフォトルミネッセンス(Photoluminescence: PL)測定により評価した。測定温度は4.2[K]とし、励起光源にはアルゴンイオンレーザー(4880、5145[ ])を用いた。レーザーのビーム径は1[mm]、出力電力は180[mW]である。

### 2.5.5 電気特性

#### (a) Hall測定

成長層の電気特性は図2-4に示すVan der Pauw法によるHall効果測定により評価した。試料は成長層の4辺を5[mm]×5[mm]に劈開したものをBr-MeOHでエッチングし、酸化表面を除去したものをを用いた。測定磁場は3または5[kG]とし、測定温度は300[K]とした。

Hall測定を行う試料の作製手順を以下に示す。

#### 試料作製手順

##### [1] 試料の劈開

13[mm]×9[mm]の基板の上に成長させた成長層の4辺を劈開し、5[mm]×5[mm]の大きさにした。

## [2] 試料のエッチング

酸化表面を除去するため、以下の手順でエッチングを行った。

- (1) アセトン中で煮沸洗浄脱
- (2) 脱イオン流水中で洗浄(3分間)
- (3) メタノールで洗浄
- (4) 濃度0.1[%]のBr-MeOHでエッチング(25秒間)
- (5) メタノールで洗浄
- (6) 脱イオン流水中で洗浄(3分間)

## [3] 電極の作製

I doped CdTe層の場合は、成長層の4隅に少量のインジウム(In)をのせ、常圧水素雰囲気石英アンブル中で350[ ]、30秒間拡散させた。これにより、成長層と電極とのオーミックコンタクトを形成した。またCdTe厚膜層の場合は、4隅に塩化金(AuCl)を塗布して成長層と電極とのオーミックコンタクトを形成した。

**(b) 電流-電圧測定、容量-電圧測定およびTOF測定**

成長した半導体を、チップ型ダイオード、メサ型ダイオード、プレーナ型ダイオードに加工し評価を行った。プレーナ型ダイオードにはガードリングを施した。さらに、ダイオードの表面リーク電流を防ぐために表面にパシベーション処理を施した。

作製したダイオードの電気特性は電流-電圧測定、容量-電圧測定、TOF(Time of Flight)測定により評価した。電流-電圧測定では測定電圧を順方向に0~20[V]、逆方向に0~100[V]とした。測定温度は300~350[K]程度とした。容量-電圧測定では測定電圧を順方向逆方向ともに0~40[V]とした。測定温度は300[K]とした。TOF測定ではガードリングを施したプレーナ型ダイオードを用いて図2-5に示すように行った。励起光源には窒素レーザーを用いた。測定温度は300[K]とした。

以下に形成手順を示す。なお、メサ型ダイオードの形成工程の一部を図2-6に示す。

**チップ型ダイオード形成手順**

## [1] 基板洗浄

- (1) 煮沸洗浄(アセトン)
- (2) リンス(脱イオン流水, 3分間)
- (3) 乾燥(120[ ], 5分間)

## [2] CdTe成長層面Au蒸着(2000[ ])

## [3] CdTe層レジスト塗布

- (1) レジスト塗布(ポジ型レジスト, 4000[ ])
- (2) 試料固定(プレパラート)
- (3) ベーキング(120[ ], 30分間)

[4] n<sup>+</sup>GaAs面研磨(研磨剤数[μm])[5] n<sup>+</sup>GaAs面エッチング

- (1) エッチング(Br:HBr:H<sub>2</sub>O=1:17:34, 1分間)

- (2) リンス(脱イオン流水, 3分間)
- [6] レジスト剥離
  - (1) 洗淨(アセトン)
  - (2) リンス(脱イオン流水, 3分間)
- [7] n<sup>+</sup>GaAs面Au蒸着(2000[ ])

### メサ型ダイオードの形成手順

- [1] 基板洗淨
  - (1) 煮沸洗淨(アセトン)
  - (2) リンス(脱イオン流水, 3分間)
  - (3) 乾燥(120[ ], 5分間)
- [2] CdTe成長層面Au蒸着(2000[ ])
- [3] フォトリソグラフィ(ポジ型レジスト)
  - (1) 乾燥(120[ ], 5分間)
  - (2) プライマ塗布
  - (3) レジスト塗布(ポジ型レジスト, 4000[ ]) )
  - (4) プリベーキング(80[ ], 20分間)
  - (5) 露光(紫外線, 25秒間)
  - (6) 現像(ポジ現像液, 90秒間)
  - (7) 定着(脱イオン水, 1分間)
  - (8) ポストベーキング(90[ ], 20分間)
- [4] Auエッチング
  - (1) エッチング(シアン化カリウム, 90秒間)
  - (2) リンス(脱イオン流水, 3分間)
- [5] レジスト剥離
  - (1) 洗淨(アセトン, 1分間)
  - (2) リンス(脱イオン流水, 3分間)
- [6] フォトリソグラフィ(ネガ型レジスト)
  - (1) 乾燥(120[ ], 5分間)
  - (2) プライマ塗布
  - (3) レジスト塗布(ネガ型レジスト, 4000[ ]) )
  - (4) プリベーキング(90[ ], 20分間)
  - (5) 露光(紫外線, 6秒間)
  - (6) 現像(ネガ現像液, 1分間)
  - (7) 定着(ネガリンス液, 1分間)
  - (8) ポストベーキング(120[ ], 30分間)
- [7] CdTeエッチング

- (1) エッチング(4[%]Br-MeOH液)
  - (2) リンス(MeOH)
  - (3) リンス(脱イオン流水, 3分間)
- [8] レジスト剥離
- (1) 煮沸(剥離液, 100[ ], 5分間)
  - (2) 煮沸洗浄(アセトン, 2回)
- [9] n<sup>+</sup>GaAs面Au蒸着(2000[ ])

### プレーナ型ダイオードの形成手順

- [1] 基板洗浄
- (1) 煮沸洗浄(アセトン)
  - (2) リンス(脱イオン流水, 3分間)
  - (3) 乾燥(120[ ], 5分間)
- [2] CdTe成長層面Au蒸着(2000[ ])
- [3] フトリソグラフィ(ポジ型レジスト)
- (1) 乾燥(120[ ], 5分間)
  - (2) プライマ塗布
  - (3) レジスト塗布(ポジ型レジスト, 4000[ ])
  - (4) プリベーキング(80[ ], 20分間)
  - (5) 露光(紫外線, 30秒間)
  - (6) 現像(現像液, 90秒間)
  - (7) 定着(脱イオン水, 1分間)
  - (8) ポストベーキング(90[ ], 20分間)
- [4] Auエッチング
- (1) エッチング(シアン化カリウム, 90秒間)
  - (2) リンス(脱イオン流水, 3分間)
- [5] レジスト剥離
- (1) 洗浄(アセトン, 1分間)
  - (2) リンス(脱イオン流水, 3分間)
- [6] n<sup>+</sup>GaAs面Au蒸着(2000[ ])

プレーナ型ダイオードの形成には図2-7に示すようなガードリングマスクを用いた。

### パッシベーション処理手順

- (1) 煮沸洗浄(アセトン)
- (2) リンス(脱イオン流水, 3分間)
- (3) パッシベーション(H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O=7:3, 90 ~ 100秒)

(4) リンス(脱イオン流水, 3分間)

なお、パッシベーション処理は図2-8に示すように、(a)電極形成後に行う場合と、(b)電極形成前に行う場合の2通りの方法を検討した。

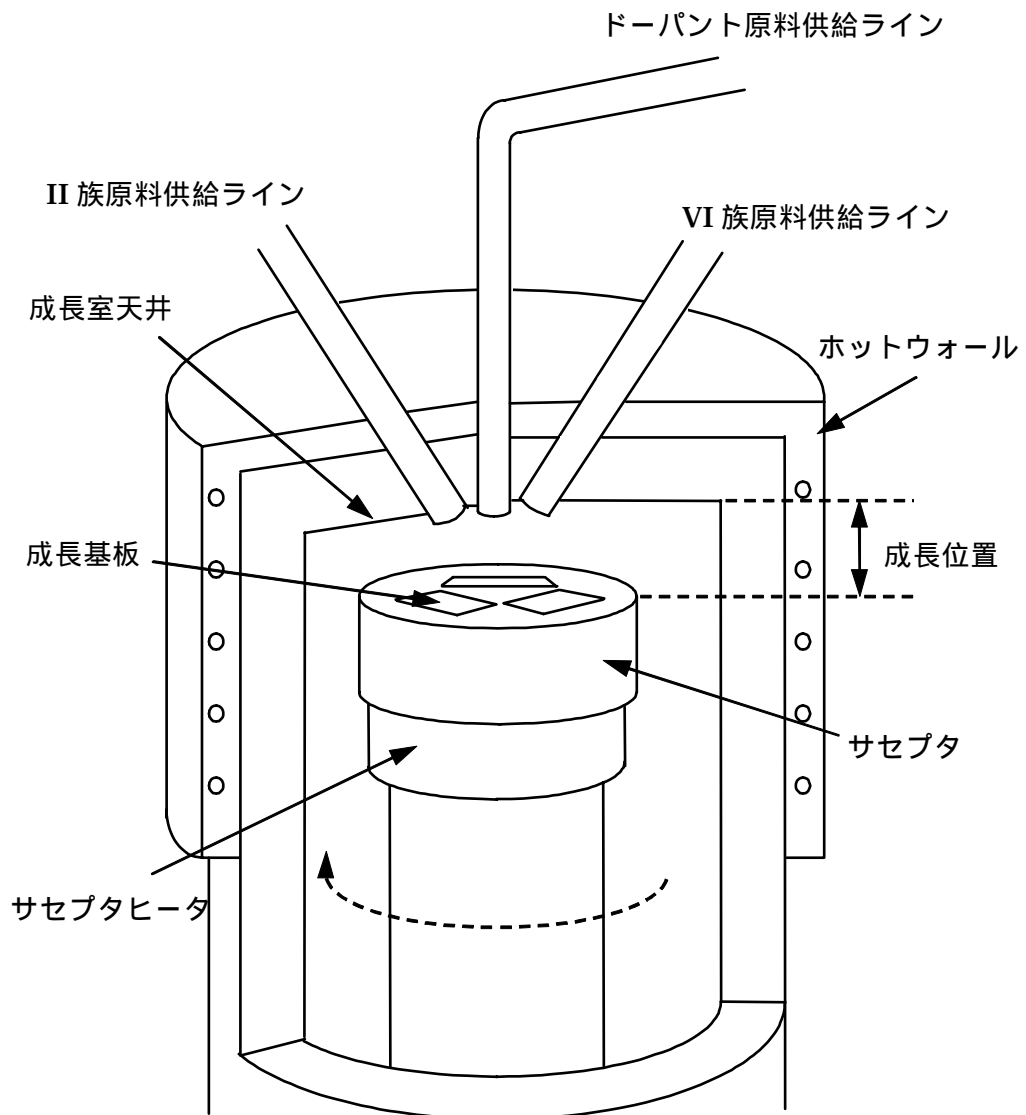


図2-1 リアクタの概略図

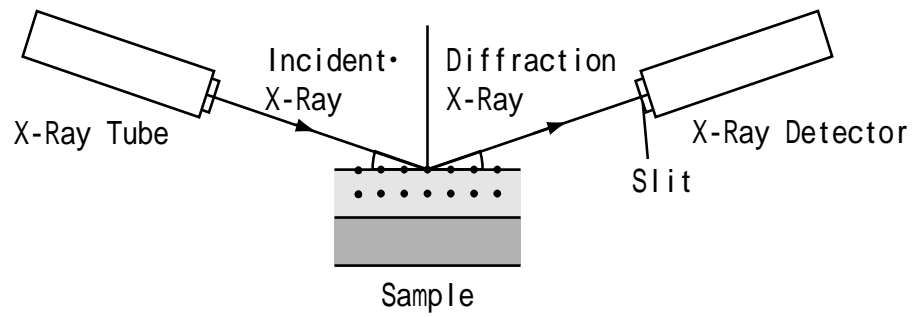


図2-2 2結晶X線回折

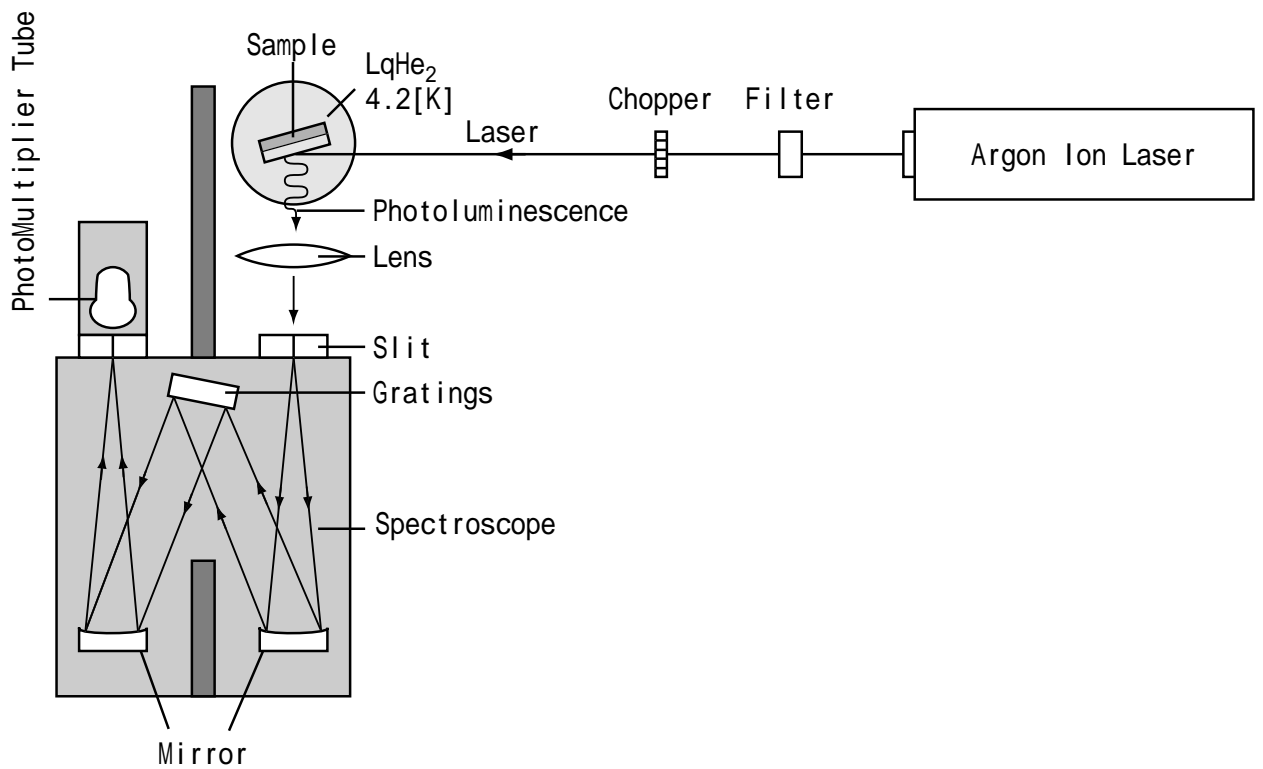


図2-3 フォトルミネッセンス測定

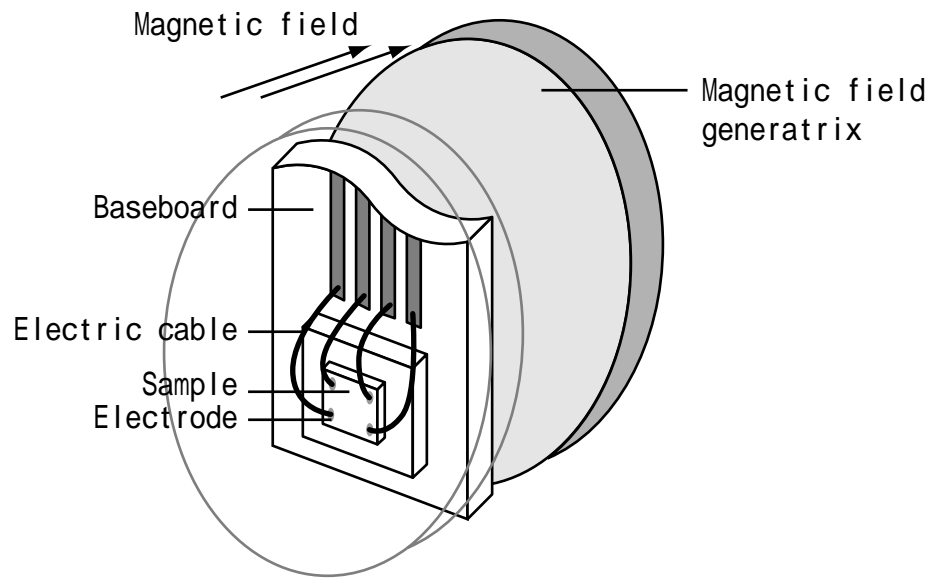


図2-4 Hall測定

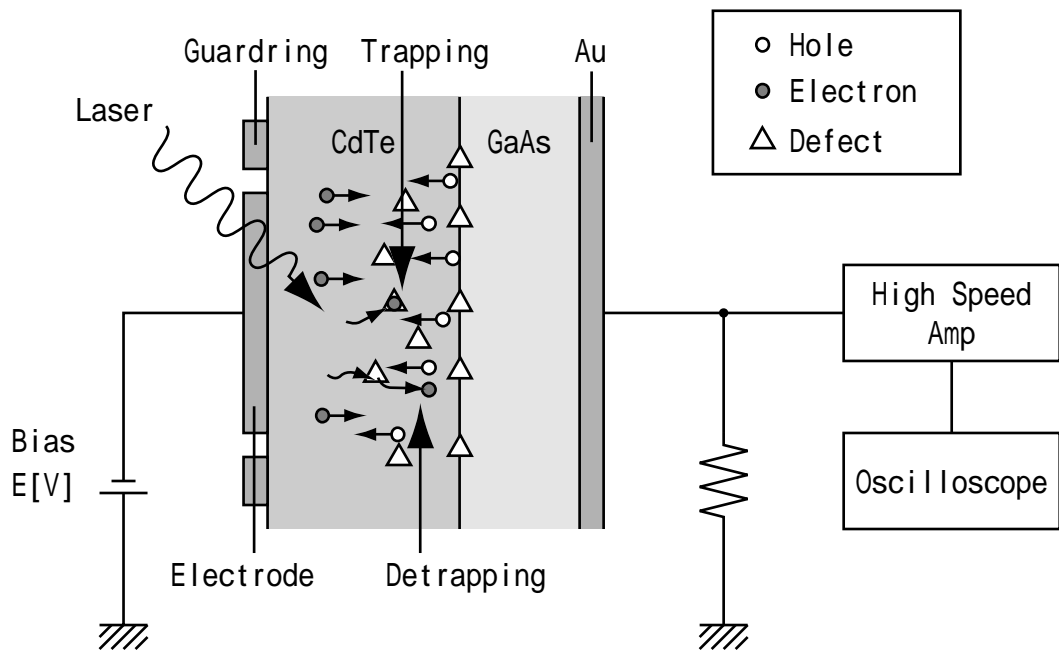


図2-5 TOF測定

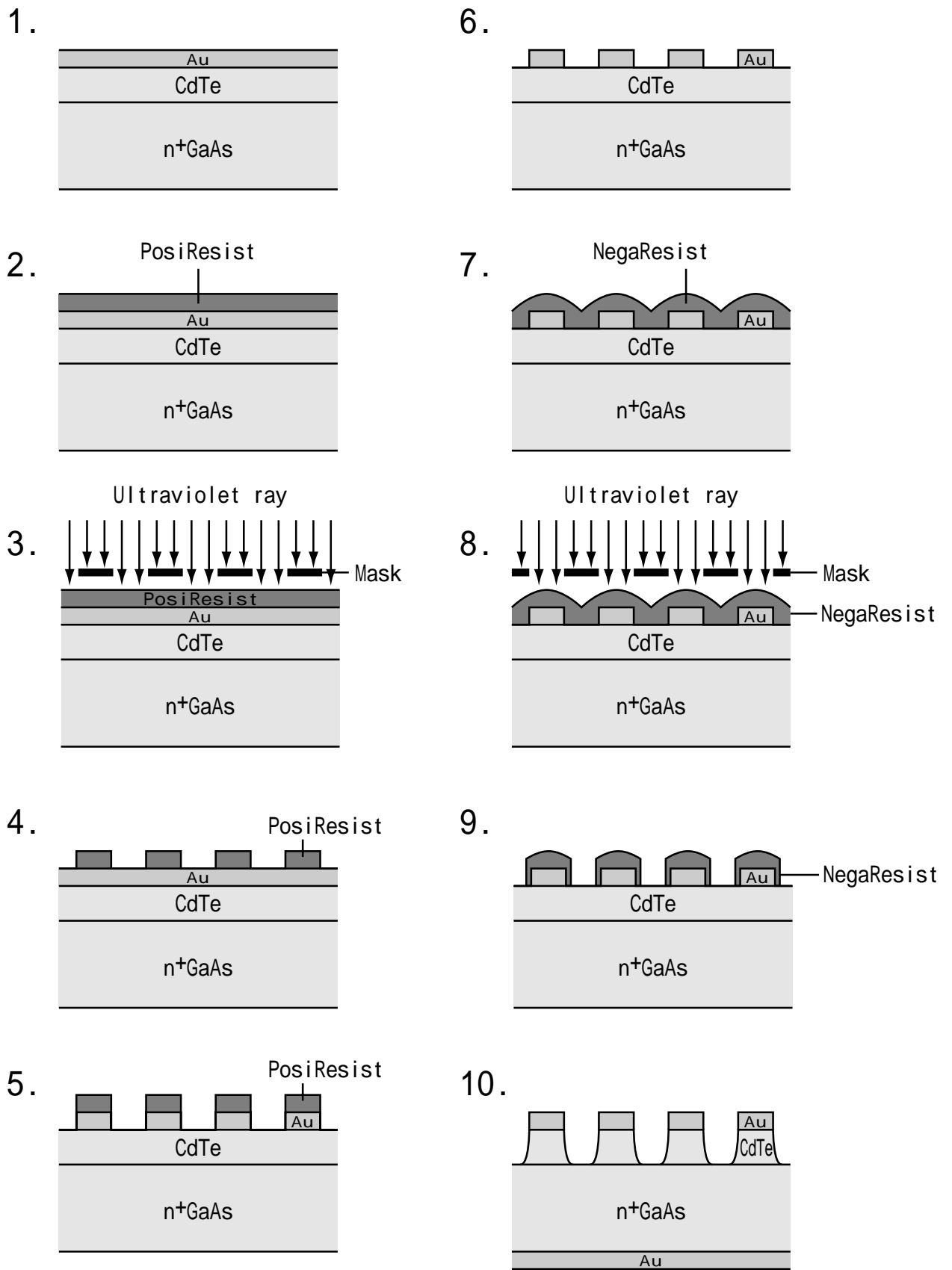
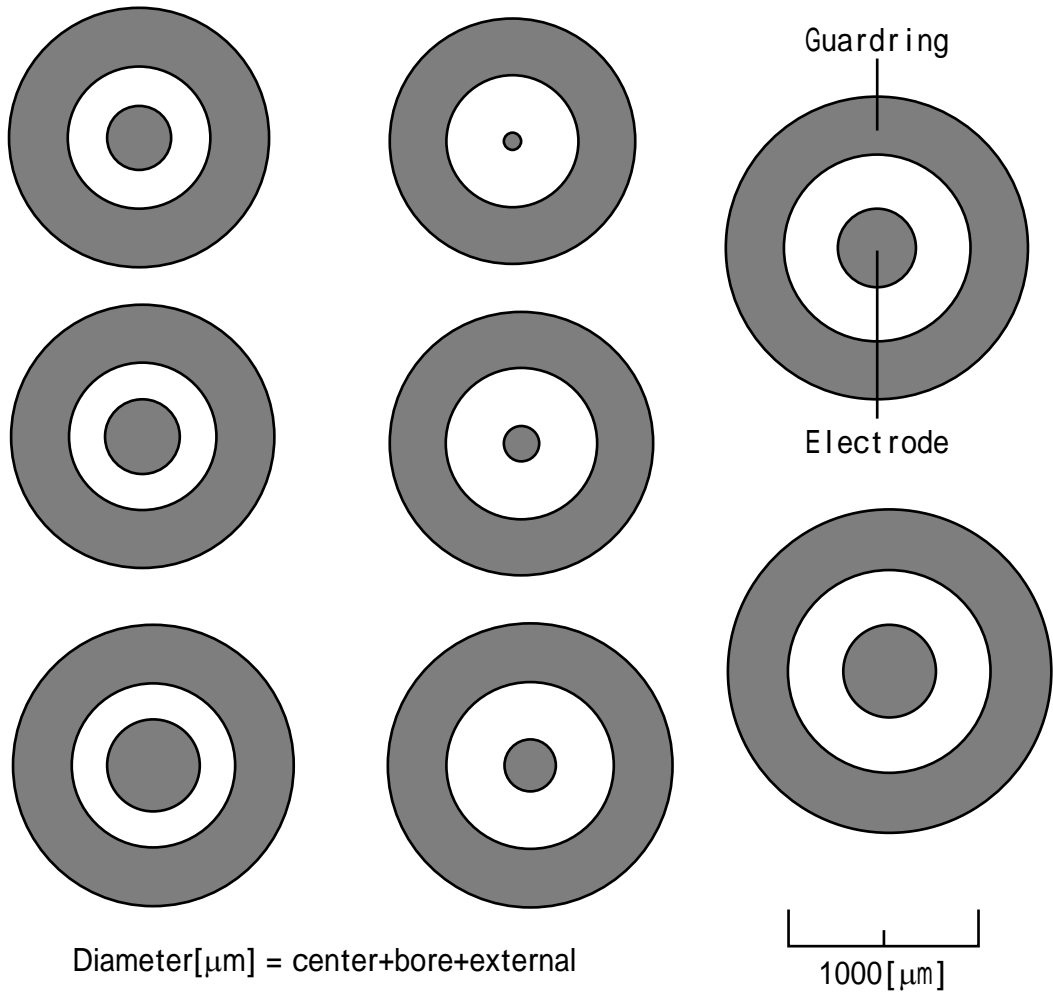


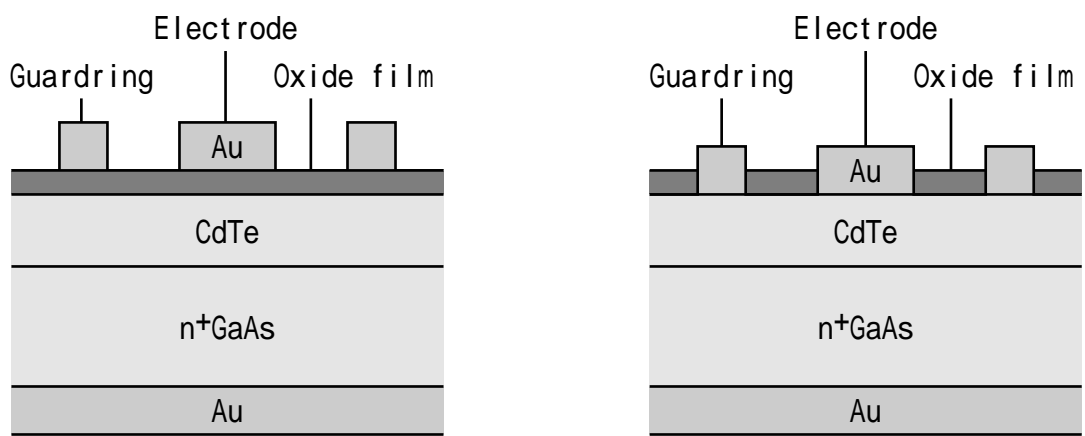
図2-6 メサ型ダイオードの形成手順



Diameter[μm] = center+bore+external

350+200+300	100+300+300	400+300+300
400+200+300	200+300+300	500+300+300
500+200+300	300+300+300	

図2-7 ガードリングマスク



(a)パッシベーション処理後  
ガードリング形成

(b)ガードリング形成後  
パッシベーション処理

図2-8 パッシベーション処理

## 第3章

# 低温CdTeバッファ層形成したダイオードの作製と評価

### 3.1 はじめに

過去の研究で、X線・線検出器を実現するための基礎検討として、n+GaAs基板上に基板温度560[ ]でCdTe厚膜層の成長が可能となり、ヘテロ接合型ダイオードの試作とその特性評価を行った。二次イオン質量分析法(Secondary Ion Mass Spectrometry: SIMS)測定の結果、CdTe厚膜層内に基板からのGa拡散が発生していることがわかった。また、TOF測定によるキャリア輸送特性の評価、容量-電圧特性の評価において良好な特性を示さなかった。これは、成長基板温度を上げることによってCdTe層の間にCd空孔が発生し、基板からのGaによる補償が増加したため深いトラップ準位が形成され、キャリア寿命が短くなったことが原因と考えられた。一方、基板温度415[ ]でCdTe厚膜層を成長させることにより基板からのGa拡散を低減することが可能であることがわかった。

そこで、本章では基板からのGa拡散を低減化するために、n+GaAs基板上に415[ ]で低温CdTeバッファ層を形成し、その後560[ ]でCdTe厚膜層の成長を行った。作製した半導体を用いて、ヘテロ接合型ダイオード検出器を作製し、その特性評価および今後の課題を明らかにした。

過去の研究においてメサ型ダイオードでは、逆方向電圧10[V]までは電流は電圧の1/2乗に比例して増加した。空乏層内で発生するキャリアによる発生電流は空乏層幅に比例し、空乏層幅は逆方向電圧の1/2乗に比例する。このことから、逆方向電圧10[V]までは発生電流が支配的であり、表面のリーク電流は発生していないことがわかった。しかし、逆方向電圧10[V]以上では、電流は電圧の1/2乗より高い割合で増加した。逆方向電圧10[V]以上では、表面効果により表面チャンネルや表面空乏領域が形成されたため、表面のリーク電流が発生したと考えられた。

そこで、表面のリーク電流を低減させるため、プレーナ型ダイオードにガードリングを形成し計測を行った。低温CdTeバッファ層を形成しガードリングを施した構造を図3-1に示す。ガードリング構造を形成することによって、電極横方向のリーク電流の影響を検討した。

### 3.2 成長条件

成長装置は常圧ホットウォール縦型MOVPE装置を用いた。成長基板は(100)n+GaAs基板を用いた。Cd原料にはDMCdを、Te原料にはDETeを用いた。低温CdTeバッファ層成長は基板温度を415[ ]一定、ホットウォール温度は200[ ]一定とし1時間成長させ、約2[μm]の薄いバッファ層を成長させた。CdTe厚膜層成長は基板温度を560[ ]一定、ホットウォール温度は200[ ]一定として行った。

4時間成長の場合は成長基板温度と供給原料を図3-2のように変化させ、表3-1のように設定した。

表3-1 低温CdTeバッファ層を形成したCdTe厚膜層の成長条件

	低温CdTeバッファ層成長時	CdTe厚膜層成長時
ホットウォール温度(Tw)[ ]	200	200
基板温度(Tg)[ ]	415	560
VI/II	1.0	2.0
DMCd供給量[mol/min]	$1.96 \times 10^{-5}$	$3.92 \times 10^{-5}$
DETe供給量[mol/min]	$1.96 \times 10^{-5}$	$7.85 \times 10^{-5}$

### 3.3 表面モフォロジの評価

図3-3に(a)ガードリング形成前、(b)ガードリング形成後の表面モフォロジを示す。(a)を見ると表面の結晶方向が整っていることがわかった。しかし、ヒロックが多数存在することがわかった。(b)の中央の薄い色の部分の円が電極で、その外側にある薄い色の部分のリングがガードリングである。電極およびガードリングには多数のヒロックが存在することがわかった。また、一部にはダストも確認できた。

### 3.4 2結晶X線回折による結晶性の評価

今回成長させたCdTe厚膜層の表面のDCRC半値幅を計測したところ、n+GaAs基板上に膜厚38[μm]成長させた場合では65[arcsec.]であった。また、GaAs基板上に膜厚38[μm]成長させた場合では43[arcsec.]であった。この値はTHM法で作製した高品質バルク結晶のDCRC半値幅である30[arcsec.]に匹敵し、高品質な結晶が作製されているといえる。

### 3.5 電流-電圧特性の評価

#### 3.5.1 整流性の評価

図3-4にガードリングを用いたダイオードの電流-電圧特性を示す。順方向へは立ち上がりが見られる。また、逆方向への電流は小さい。順方向の電流-電圧特性は経験的に式(3-1)のように表される。

$$J = J_0 \left( e^{\frac{qV}{nkT}} - 1 \right) \quad (3-1)$$

nは理想係数と呼ばれ、1に近いと拡散電流を示しており、2に近いと再結合電流である。今回の順方向特性の経験式(3-1)を用いて最小二乗法で理想係数nを求めると2以上の値となった。これは大電流領域において半導体基板の直列抵抗による電圧降下であると考えられる。

順方向電圧5[V]において電流密度は162[μA/cm<sup>2</sup>]であり、逆方向電圧10[V]、100[V]において逆方向電流密度はそれぞれ0.43[μA/cm<sup>2</sup>]、7.72[μA/cm<sup>2</sup>]となった。順方向、逆方向の電流-電圧特性の関係から整流性の良いダイオードであることがわかった。

#### 3.5.2 逆方向電流-電圧特性の評価

図3-5にガードリング構造を形成したダイオードの逆方向電流-電圧特性を示す。図中の破線は電流が電圧の1/2乗に比例する補助線である。ガードリングを用いた場合、用いなかった場合と比べて電極横方向のリーク電流の低減化を期待できる。実験結果を見ると、ガードリングを用いなかった場合、逆方向電圧10[V]、

100[V]において逆方向電流密度はそれぞれ1.94[ $\mu\text{A}/\text{cm}^2$ ]、35.5[ $\mu\text{A}/\text{cm}^2$ ]、ガードリングを用いた場合、逆方向電圧10[V]、100[V]において逆方向電流密度はそれぞれ0.43[ $\mu\text{A}/\text{cm}^2$ ]、7.72[ $\mu\text{A}/\text{cm}^2$ ]となった。ガードリングを用いることで電流が低下することがわかった。これは、ガードリングと電極を等電位にすることによって、電極横方向のリーク電流が低減されたものと考えられる。

ここで、逆方向電流を詳しく解析するため式(3-2)に逆方向電流密度方程式を示す。

$$J = J_0 \left( e^{\frac{qV}{kT}} - 1 \right) \quad (3-2)$$

$J$  は電流密度、 $J_0$  は  $J_{e0} + J_{h0}$  で電子とホール単位時間に流れる電流密度定数、 $q$  は電子の電荷、 $V$  は印加電圧、 $k$  はボルツマン定数、 $T$  は計測時の絶対温度である。ここで  $qV$  は -1 ~ -100[V] では約  $-1.6 \times 10^{-19} \sim -1.6 \times 10^{-17}$ [J]、 $kT$  は約  $4.1 \times 10^{-21}$ [J] であるので式(3-2)は逆方向飽和電流密度  $J_s = J_0$  に漸近すると考えられる。

空乏層内で発生するキャリアによる発生電流は空乏層幅に比例し、空乏層幅は逆方向電圧の1/2乗に比例する。電流は逆方向電圧10[V]までは電圧の1/2乗にほぼ比例し、逆方向電圧10[V]以上になると電圧の1/2乗以上に比例するようになることがわかった。これはガードリングを用いた場合も、用いなかった場合も同様のことが言える。また、逆方向電圧100[V]付近ではガードリングを用いた場合は用いなかった場合と比べて傾きが上昇していることがわかった。

以上のことより、ガードリングを用いることにより電極横方向のリーク電流の低減化を行うことはできた。しかし、逆方向電圧が増加することによって電流は定数に漸近せず、電流は増加した。この理由として、結晶内部の欠陥や成長表面の凹凸による影響が考えられる。

### 3.5.3 逆方向電流-電圧特性の温度特性の評価

図3-6に室温から80[ ]まで測定温度を変化させたときのガードリングを施したダイオードの逆方向電流-電圧特性の温度特性を示す。図には逆方向電圧を5[V]と40[V]とした結果を示す。図中の直線はそれぞれの計測値を用いて最小二乗法で求めた線である。温度の上昇により電流が増加することがわかった。この傾きより式(3-2)に示す逆方向電圧の電流密度方程式を用いてアレニウスの法則より活性化エネルギー  $E_a$  を求めた。ここで、CdTeはp型半導体であるので、 $E_a$ はアクセプタとして作用するトラップ準位となる。算出の結果、価電子帯から  $E_a = 0.81 \sim 0.86$ [eV]の位置にトラップ準位があることがわかった。CdTeのバンドギャップが1.49[eV]であることを考えると、価電子帯と伝導帯の中央付近となり、深い不純物準位であることがわかった。

成長基板温度を560[ ]にすることによって、CdTe層内のCd空孔が増加すると考えられる。このCd空孔にGaAs基板からGa原子が成長層に拡散し、CdサイトにGaが置換されると考えられる。これはGaの補償メカニズムとした報告がある。GaのCdTe層中における補償のメカニズムはアクセプタ性の複合欠陥とCdサイトのGaとのカップリングで構成され、次のように表せる。



式(3-3)によると、基板から成長層に拡散したGaはCdサイトに置換してドナー  $Ga_{Cd}^{+}$  として作用すると同時

に、Cd空孔  $V_{Cd}^{2-}$  とアクセプタ性の複合欠陥  $[V_{Cd}^{2-}-Ga_{Cd}^+]$  を形成し、それがドナー  $Ga_{Cd}^+$  と結合することで補償が生じる。

成長基板温度560[ ]一定で成長した場合、成長基板温度415[ ]一定で成長した場合より、成長基板から成長層へのGa拡散が増加することがわかった。今回確認された深い準位のトラップの存在はGa拡散によるものと考えられる。

### 3.5.4 逆方向電流-電圧特性のダイオード径依存特性の評価

図3-7にガードリングを施したダイオードの径を変化させた場合の逆方向電圧10[V]と100[V]の逆方向電流-電圧特性を示す。図中の破線は電流が半径の2乗に比例する補助線である。逆方向電圧10[V]、100[V]ともに電極半径の2乗に比例して電流が増加していることがわかった。この結果から、ダイオード周囲からのリーク電流の影響は少ないと考えられる。しかし、径が同じであっても電流のばらつきが大きい。これは図3-3にも示したとおり、成長表面の凹凸や結晶内部の欠陥の存在による影響が考えられる。

### 3.6 容量-電圧特性の評価

図3-8に容量-電圧特性を示す。ガードリングを施したダイオードを用いて計測を行った。また比較のために、過去の研究で低温CdTeバッファ層を用いずGaAs基板上に直接CdTe厚膜層を成長させたメサ型ダイオードの結果も同時に示す。逆方向電圧1~40[V]で空乏層容量1000~560[pF/cm<sup>2</sup>]程度であった。過去の研究結果では逆方向電圧1~10[V]で121~120[pF/cm<sup>2</sup>]程度であった。電圧が上昇すると空乏層容量が低下する傾向があり、過去の研究結果よりも空乏層容量の変化が大きくなった。

空乏層のp型領域側には負の空間電荷があり、n型領域側には正の空間電荷がある。空乏層にはキャリアがほとんどないため、抵抗率が高い。したがって、外部から電圧  $V_0$  を加えるとほとんどすべて空乏層にかかる。極性がp型領域を負、n型領域を正とする向き(逆方向電圧)であれば、空乏層の障壁電位差は  $(V_d+V_0)$  となる。なお、 $V_d$  は拡散電位である。この場合障壁が高くなりほとんど電流は流れず、p型領域の空乏層にはアクセプタイオンによる負の空間電荷が、n型領域にはドナーイオンによる正の空間電荷が同量だけ増加する。これは一種のコンデンサとして働くことを意味している。本実験では空乏層容量の計測を行っている。

不純物濃度  $N$  は式(3-4)のようになる。

$$N \cong \frac{N_A N_D}{N_A + N_D} = \frac{C^3}{q \epsilon_s A^2} \left( \frac{dC}{dV} \right)^{-1} \quad (3-4)$$

$N_A$  はアクセプタ濃度、 $N_D$  はドナー濃度、 $C$  は空乏層容量、 $q$  は電子の電荷、 $\epsilon_s$  はCdTeの誘電率 ( $\epsilon_s = 10.2 \times \epsilon_0$ )、 $A$  はダイオードの面積、 $V$  は印加電圧である。これを求めると不純物濃度は  $1.0 \times 10^{14} \sim 1.5 \times 10^{15} [\text{cm}^{-3}]$  程度であった。この値はn+GaAs基板の不純物濃度より極めて小さい値といえる。過去の研究において不純物濃度は  $10^{11} [\text{cm}^{-3}]$  程度であった。過去の研究に比べ不純物濃度が増加した。これによりCdTe層中のCd空孔とGaによる補償が減少したといえる。

ここで、ポアソン方程式より式(3-5)の関係を導入する。

$$N_A x_p = N_D x_n \quad (3-5)$$

$x_p$  はp型領域の空乏層の幅、 $x_n$  はn型領域の空乏層幅である。この式より一般的に空乏層は不純物濃度の低いほうへ広がることが知られている。基板とCdTe厚膜層の不純物濃度を式(3-5)に適用することにより、p型基板側へ空乏層が広がるものと考えられる。

空乏層には等量の正負電荷 $+Q$ 、 $-Q$ が蓄えられるので、静電容量を持つことになるが、普通の平行板コンデンサのように単位断面面積あたりの電荷量 $Q$ と外部電圧 $V_0$ は比例しない。そこで、空乏層の単位断面面積あたりの静電容量 $C_d$ を次のように定義する。

$$C_d = \frac{dQ}{dV_0} \quad (3-6)$$

この空乏層容量の定義に従って静電容量 $C_d$ を求めると、

$$C_d = \frac{\epsilon_s}{W_d} \quad (3-7)$$

となる。 $W_d$ は空乏層幅である。この関係は通常の平行板コンデンサと同じである。この式(3-7)を用いて空乏層幅の変化を求めた。図3-9に逆方向電圧による空乏層幅の変化を示す。この結果を見ると逆方向電圧1~40[V]の間で空乏層幅10~20[ $\mu\text{m}$ ]程度の変化が見られた。CdTe厚膜層の膜厚が40[ $\mu\text{m}$ ]であるので、空乏層はCdTe厚膜層の半分以下であることがわかった。

ここで、過去の研究で作製されたダイオードと容量と膜厚の比較を行った。過去の研究ではほとんど容量は変化しなかった。同時に空乏層幅の変化がなかった。この理由はn型の基板に対してp型のCdTe厚膜層の不純物濃度が低く、CdTe厚膜層が全て空乏層化したためであった。今回、低温CdTeバッファ層を用いることで、逆方向電圧による容量が変化し、同時に空乏層幅の変化が見られた。逆方向電圧40[V]程度において膜厚の半分程度であるので、完全に空乏層が広がりきらない領域であるということがわかった。

また、この関係から導き出される式(3-8)を用い、外挿法によって拡散電位 $V_d$ を推定することができる。

$$V_0 = \frac{\epsilon_s q N_A N_D}{2(N_A + N_D) C_d^2} - V_d \quad (3-8)$$

これより、拡散電位 $V_d=1\sim 3$ [V]程度であると考えられる。

以上の結果より、低温CdTeバッファ層を用いることによってGa拡散を低減し、その後成長基板温度560[ ]で高速に成長させることが可能であることがわかった。

### 3.7 Hall測定による電気特性の評価

Hall測定により膜厚38[ $\mu\text{m}$ ]のCdTe厚膜層の抵抗率は $7.2 \times 10^5 \sim 7.4 \times 10^5$ [ $\Omega\text{cm}$ ]程度を示した。過去の結果では抵抗率は約 $2.7 \times 10^6$ [ $\Omega\text{cm}$ ]であった。過去の結果と同様にして高抵抗となったが、抵抗率は減少した。これまで高抵抗化の原因として成長基板温度を高温にすることによりGaの取り込み量が増加し、補償がおきたことが考えられている。Gaによる補償を考えると、Cd空孔密度が大きいほど取り込まれるGaの補償される確立は増加し、CdTe層は高抵抗する。今回抵抗率が減少したことによりGa拡散の量が減少したと考えられる。

### 3.8 今後の課題

今回、低温CdTeバッファ層を用いたことにより一定の成果を上げることができたため、今後低温CdTeバッファ層の成長条件を検討する必要がある。また、表面のヒロックやピット、ダストの発生を抑制するための成長条件を検討する必要がある。また、ダイオードを作製するにあたって個体差があるため、今後さらにダイオードを精密に作製する必要がある。

### 3.9 まとめ

低温CdTeバッファ層の成長基板温度を415[ ]一定、CdTe厚膜成長時の成長基板温度560[ ]一定としてCdTe厚膜層をn<sup>+</sup>GaAs基板上に成長させた。得られたCdTe厚膜層の表面モフォロジの評価、2結晶X線回折による結晶性の評価、電流-電圧特性の評価、容量-電圧特性の評価、Hall測定による電気特性の評価を行った。得られた結果を以下にまとめる。

- (1) 表面モフォロジの評価より次のことがわかった。

電極およびガードリングには多数のヒロックが存在することがわかった。また、一部にはダストも確認できた。

- (2) 2結晶X線回折による結晶性の評価より次のことがわかった。

(a) DCRC半値幅を計測したところ、n<sup>+</sup>GaAs基板上に膜厚38[μm]成長させた場合では65[arcsec.]であった。また、GaAs基板上に膜厚38[μm]成長させた場合では43[arcsec.]であった。

(b) 高品質な結晶が作製されているといえる。

- (3) 電流 電圧特性の評価より次のことがわかった。

(a) 整流性の評価より次のことがわかった。

電流は想係数nが2以上になったため大電流領域における半導体基板の直列抵抗による電圧降下であると考えられる。

順方向電圧5[V]において電流密度は162[μA/cm<sup>2</sup>]であり、逆方向電圧10[V]、100[V]において逆方向電流密度はそれぞれ0.43[μA/cm<sup>2</sup>]、7.72[μA/cm<sup>2</sup>]となった。

順方向、逆方向の電流 電圧特性の関係から整流性の良いダイオードであることがわかった。

(b) 逆方向電流 電圧特性の評価より次のことがわかった。

ガードリングを用いなかった場合、逆方向電圧10[V]、100[V]において逆方向電流密度はそれぞれ1.94[μA/cm<sup>2</sup>]、35.5[μA/cm<sup>2</sup>]、ガードリングを用いた場合、逆方向電圧10[V]、100[V]において逆方向電流密度はそれぞれ0.43[μA/cm<sup>2</sup>]、7.72[μA/cm<sup>2</sup>]となった。

ガードリングを用いることで電極横方向の電流が低下することがわかった。

電流は逆方向電圧10[V]までは電圧の1/2乗にほぼ比例し、10[V]以上になると電圧の1/2乗以上に比例するようになることがわかった。

ガードリングを用いることにより電極横方向のリーク電流の低減化を行うことはできた。

リーク電流発生原因として結晶内部の欠陥や成長表面の凹凸による影響が考えられる。

(c) 逆方向電流 電圧特性の温度特性の評価より次のことがわかった。

温度の上昇により電流が増加することがわかった。

逆方向電圧の電流密度方程式を用いて活性化エネルギーE<sub>a</sub>を求めた。価電子帯からE<sub>a</sub>=0.81~0.86[eV]の位置にトラップ準位があることがわかった。

CdTeのバンドギャップが1.49[eV]であることを考えると、価電子帯と伝導帯の中央付近と

なり、深い不純物準位であることがわかった。

確認された深い準位のトラップの存在はGa拡散によるものと考えられる。

(d) 逆方向電流 電圧特性のダイオード径依存特性の評価より次のことがわかった。

逆方向電圧10[V]、100[V]ともに電極半径の2乗に比例して電流が増加していることがわかった。この結果から、ダイオード周囲からのリーク電流の影響は少ないと考えられる。

径が同じであっても電流のばらつきが大きい理由として、成長表面の凹凸や結晶内部の欠陥の存在による影響が考えられる。

(4) 容量 電圧特性の評価より次のことがわかった。

(a) 逆方向電圧1 ~ 40[V]で空乏層容量1000 ~ 560[pF/cm<sup>2</sup>]程度であった。過去の研究結果では逆方向電圧1 ~ 10[V]で121 ~ 120[pF/cm<sup>2</sup>]程度であった。電圧が上昇すると空乏層容量が低下する傾向があり、過去の研究結果よりも空乏層容量の変化が大きくなった。

(b) 不純物濃度は $1.0 \times 10^{14} \sim 1.5 \times 10^{15}$ [cm<sup>-3</sup>]程度であった。この値はn<sup>+</sup>GaAs基板の不純物濃度より極めて小さい値といえる。

(c) 過去の研究において不純物濃度は $10^{11}$ [cm<sup>-3</sup>]程度であった。過去の研究に比べ不純物濃度が増加した。これによりCdTe層中のCd空孔とGaによる補償が減少したといえる。

(d) 基板とCdTe厚膜層の不純物濃度を式(3-5)に適用することにより、p型基板側へ空乏層が広がるものと考えられる。

(e) 逆方向電圧1 ~ 40[V]の間で空乏層幅10 ~ 20[μm]程度の変化が見られた。CdTe厚膜層の膜厚が40[μm]であるので、空乏層はCdTe厚膜層の半分以下であることがわかった。

(f) 低温CdTeバッファ層を用いることで、逆方向電圧による容量が変化し、同時に空乏層幅の変化が見られた。逆方向電圧40[V]程度において膜厚の半分程度であるので、完全に空乏層が広がりきらない領域であるということがわかった。

(g) 拡散電位 $V_d=1 \sim 3$ [V]程度であると考えられる。

(h) 低温CdTeバッファ層を用いることによってGa拡散を低減し、その後成長基板温度560[ ]で高速に成長させることが可能であることがわかった。

(5) Hall測定による電気特性の評価より次のことがわかった。

(a) 膜厚38[μm]のCdTe厚膜層の抵抗率は $7.2 \times 10^5 \sim 7.4 \times 10^5$ [Ωcm]程度を示した。

(b) 抵抗率が減少したことによりGa拡散の量が減少したと考えられる。

つまり、低温CdTeバッファ層を成長させることによってGa拡散を減少させ、その後560[ ]で高速にCdTe厚膜層を成長できることがわかった。

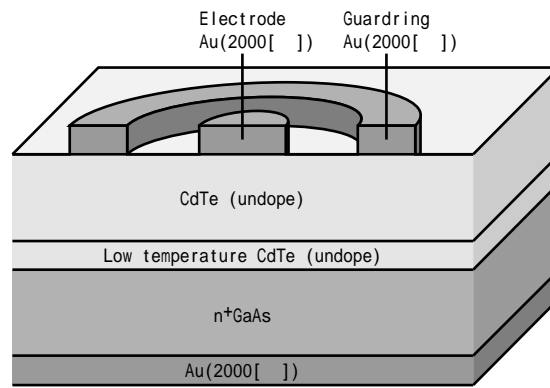
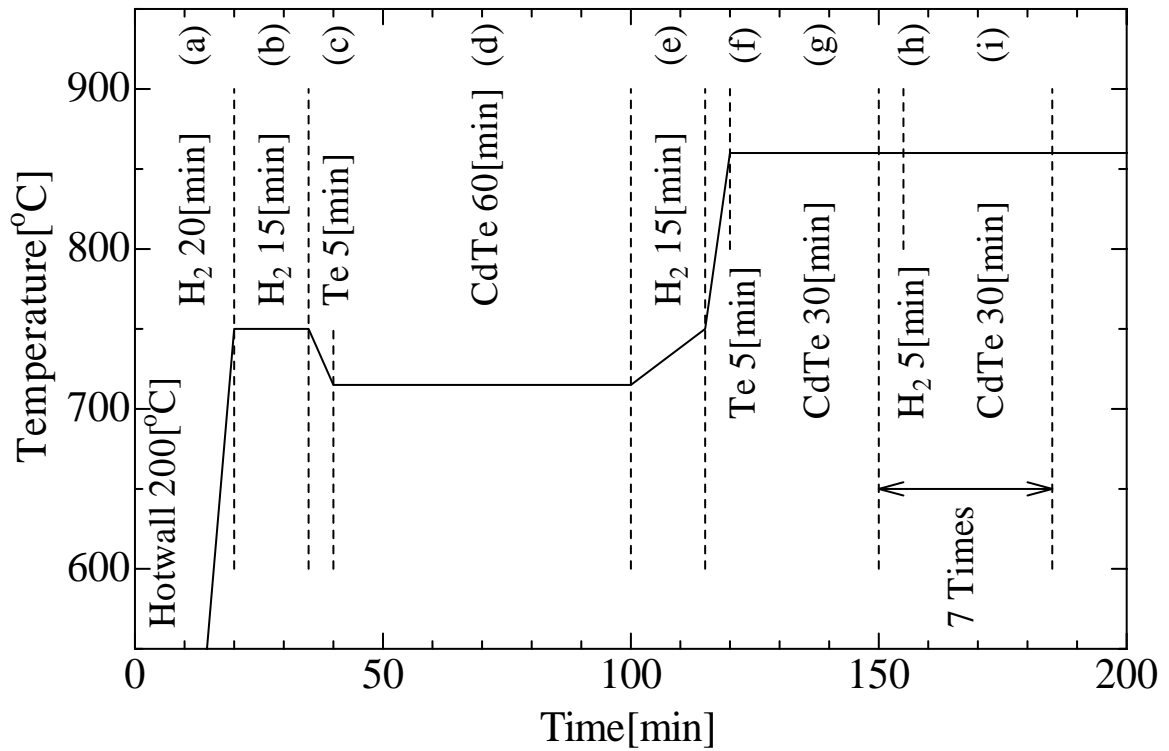
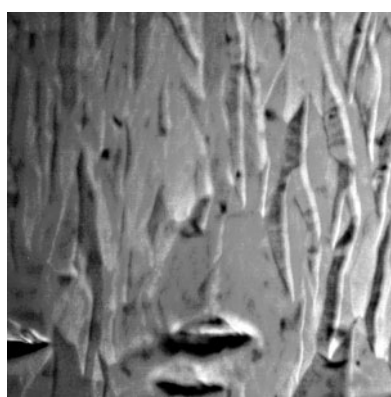


図3-1 低温CdTeバッファ層を用いたダイオード構造



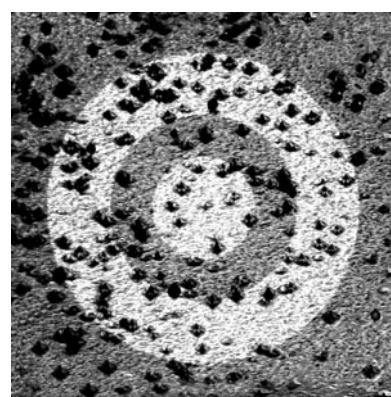
- (a) 加熱
  - (b) サーマルクリーニング
  - (c) 初期Te層成長
  - (d) 低温CdTeバッファ層成長
  - (e) H<sub>2</sub>アニール
  - (f) Te層成長
  - (g) CdTe厚膜層成長
  - (h) H<sub>2</sub>アニール
  - (i) CdTe厚膜層成長
- また、(h)、(i)は7回繰り返した。

図3-2 成長条件



50[μm]

(a)ガードリング形成前



500[μm]

(b)ガードリング形成後

図3-3 表面モフォロジ

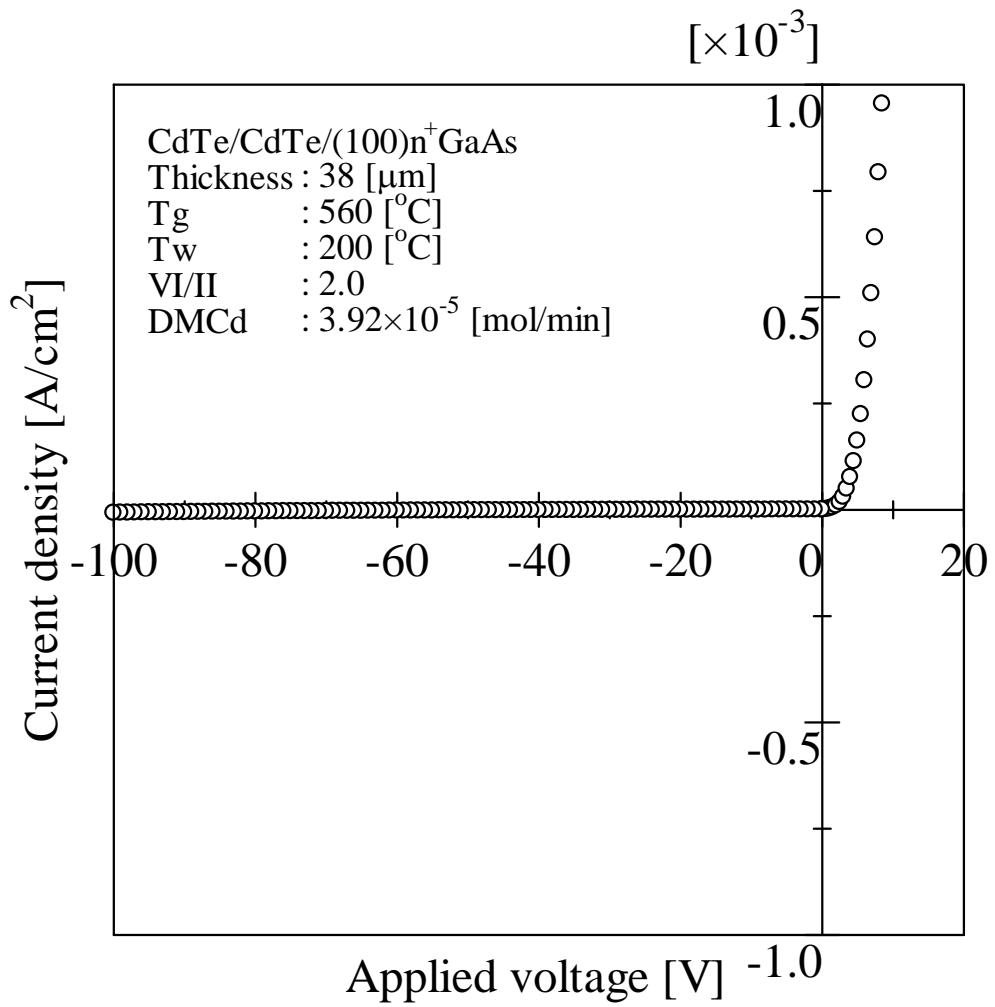


図3-4 電流-電圧特性

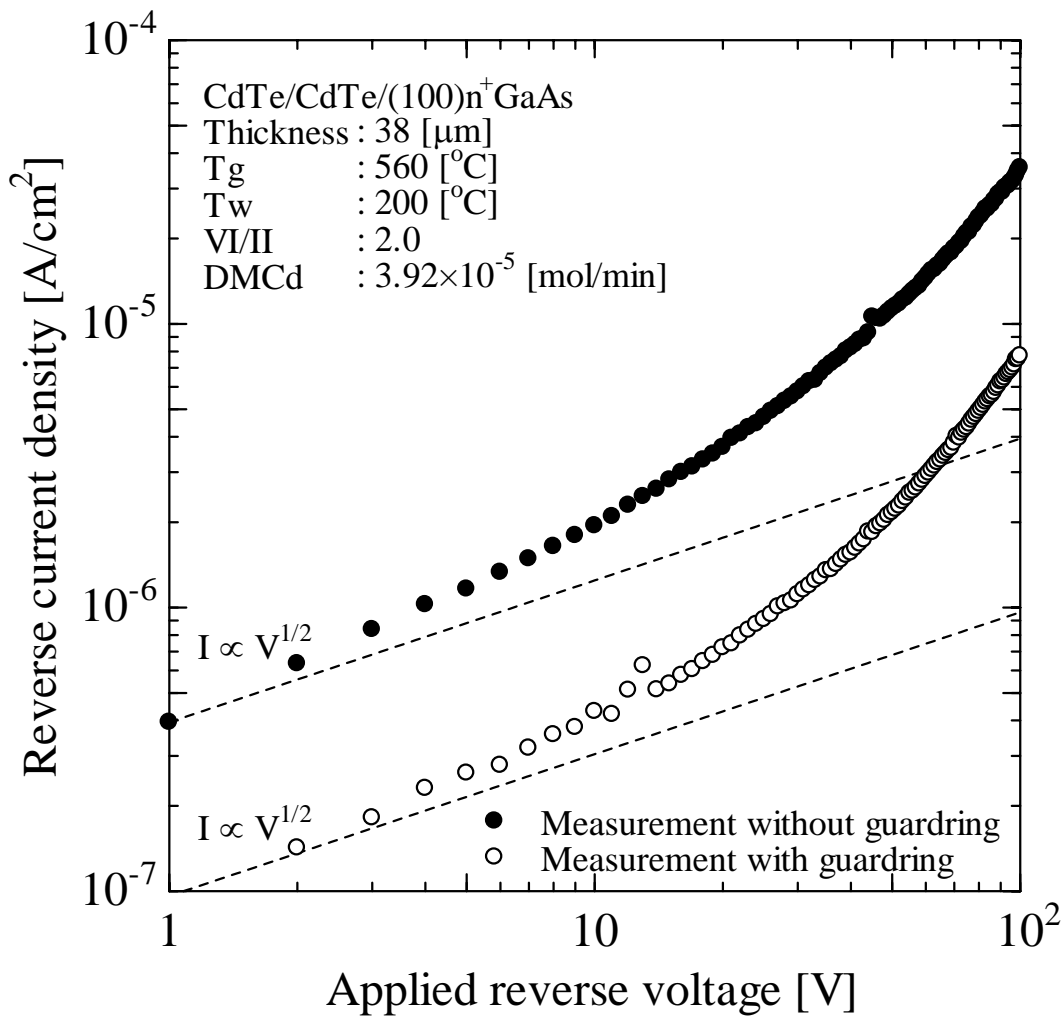


図3-5 逆方向電流 電圧特性

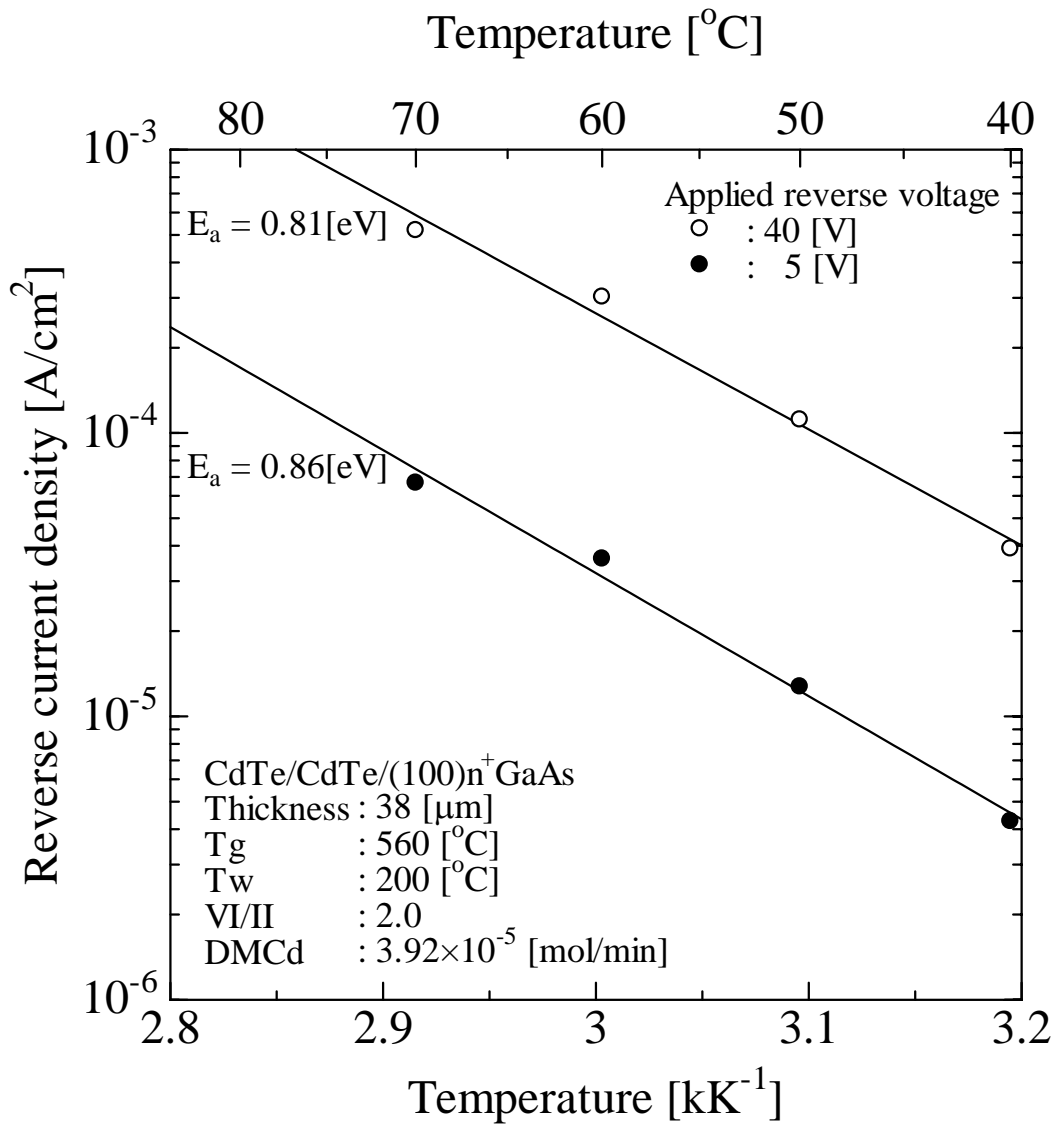


図3-6 逆方向電流-電圧特性の温度特性

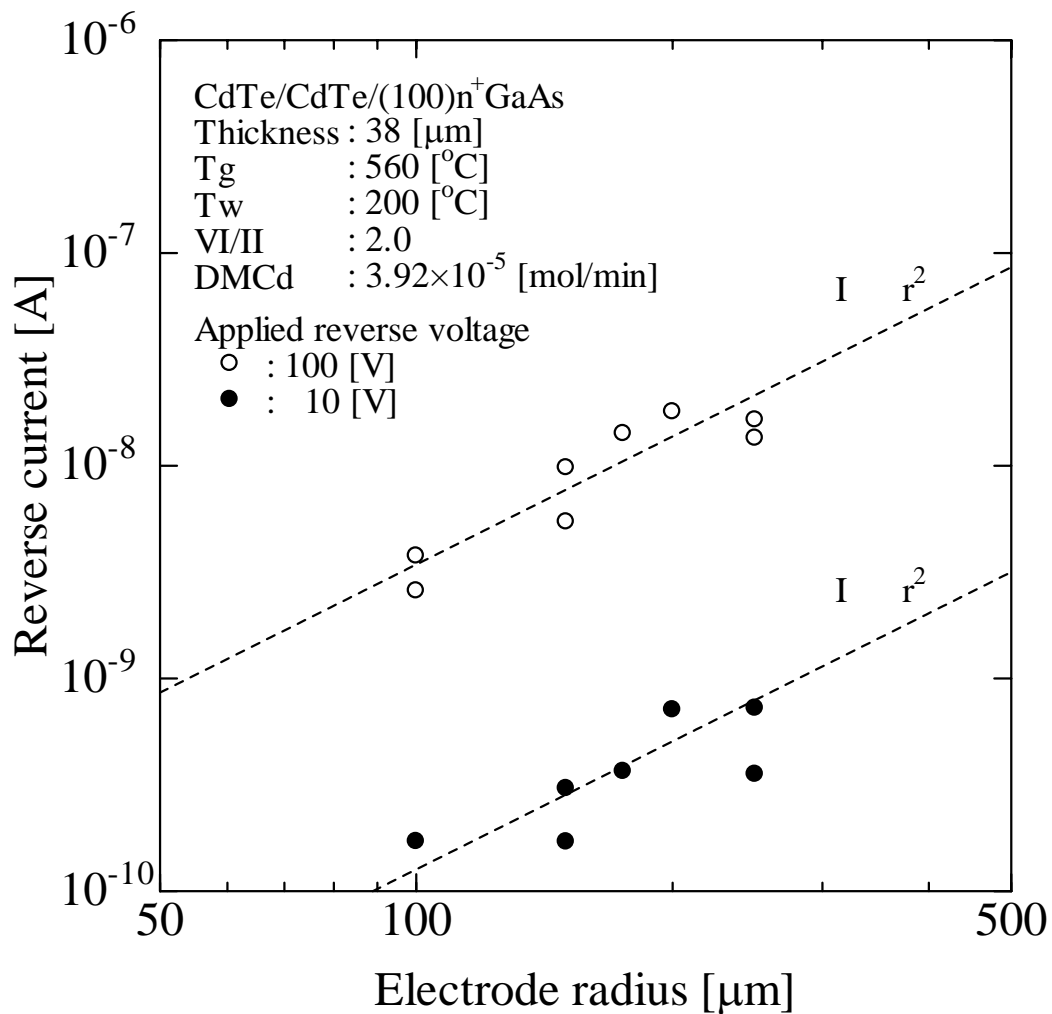


図3-7 逆方向電流-電圧特性のダイオード径依存特性

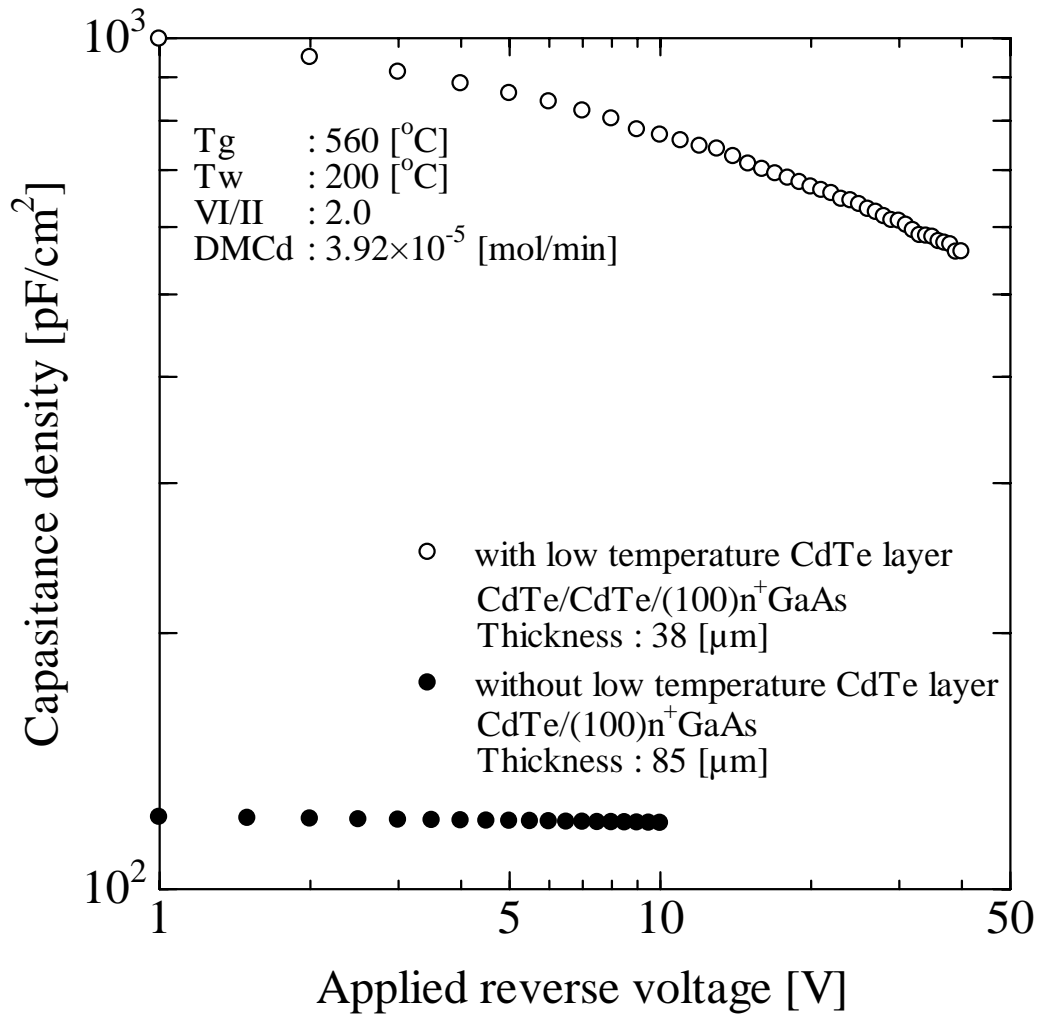


図3-8 容量 電圧特性

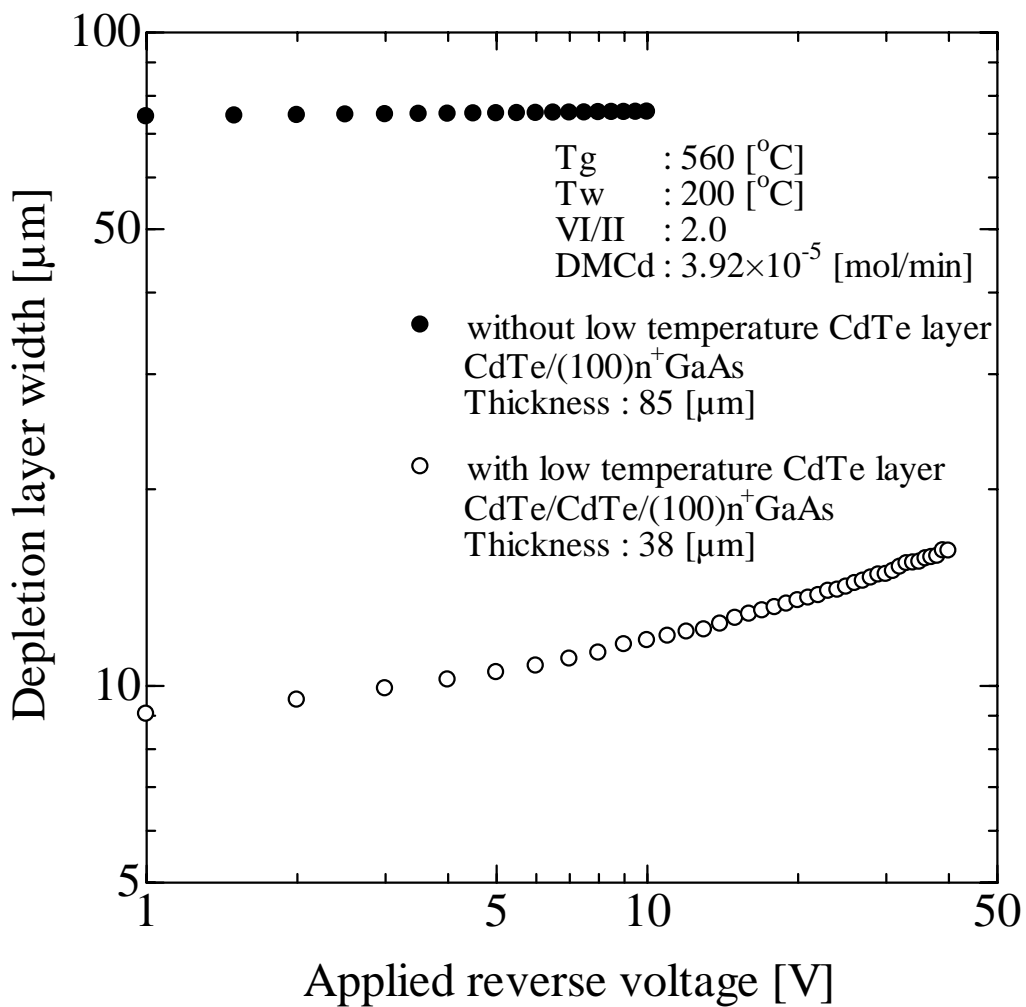


図3-9 逆方向電圧による空乏層幅の変化

## 第4章

# I doped CdTeバッファ層を形成したダイオードの作製と評価

### 4.1 はじめに

これまでCdTe厚膜層と基板界面のpn接合面での格子定数の違いによる欠陥の発生による性能低下が懸念されてきた。過去の研究において、格子定数および熱膨張係数の違いにより基板とCdTe層間の転位密度が上昇しGaが拡散し、貫通転位によりGaが析出した。pn接合面での格子定数の違いによる欠陥の発生に対する改善策として、ヨウ素をドーピングしたCdTeバッファ層をバッファ層として成長し、その後CdTe厚膜層を成長させることによりホモ接合型ダイオードを作製した。CdTe層においてヨウ素はn型ドーパントとして作用する。pn接合面をヨウ素をドーピングしたCdTe層とCdTe厚膜層の界面に移動し、pn接合面の格子定数の違いによる欠陥を減少させることが期待できる。また、I doped CdTeバッファ層成長後CdTe厚膜層を成長させるため、pn接合面が空气中に触れることがなくなり、界面の準位の形成を抑制することが可能であると考えられる。

I doped CdTeバッファ層を形成しガードリングを施した構造を図4-1に示す。ここでは、図4-2に示すバンド構造を想定している。n<sup>+</sup>GaAs基板はn型半導体である。過去の研究でCdTe厚膜層はp型半導体となり、I doped CdTeバッファ層はn型半導体となることがわかっている。つまり、図4-2に示すように、pn接合面はCdTe厚膜層とI doped CdTeバッファ層の間に形成される。

そこで、本章ではpn接合面の転位密度を低減化するため325[ ]でI doped CdTeバッファ層を形成し、その後基板からのGa拡散を低減化するため415[ ]で低温CdTeバッファ層を形成した。その後560[ ]でCdTe厚膜成長を行った。作製した半導体を用いてホモ接合型ダイオードを作製し、その特性評価および今後の課題を明らかとした。

### 4.2 成長条件

成長装置は常圧ホットウォール縦型MOVPE装置を用いた。成長基板は(100)n<sup>+</sup>GaAs基板を用いた。Cd原料にはDMCdを、Te原料にはDETeを用いた。CdTeのn型ドーパントとしてヨウ素原料にはEIを用いた。I doped CdTeバッファ層成長は基板温度を325[ ]一定、ホットウォール温度は300[ ]一定とした。低温CdTeバッファ層成長は基板温度を325[ ]あるいは415[ ]一定、ホットウォール温度は200[ ]一定とし、約2[μm]の薄いバッファ層を成長させた。CdTe厚膜層成長は基板温度を560[ ]一定、ホットウォール温度は200[ ]一定として行った。

5時間成長時には、成長基板温度と供給原料は図4-3のように変化させ(m)、(n)を9回繰り返し5時間成長を行い、膜厚70[μm]成長した。8時間成長時には図4-3のように変化させ8時間成長を行い、膜厚95[μm]成長した。このときヨウ素を排気するため、いったん温度を下げ真空に引き排気を行った。さらに、低温バッファ層で一定の成果を上げたので低温CdTeバッファ層の成長を2回に分けて温度を変化させて行った。また、

成長条件はともに表4-1のように設定した。

表4-1 I doped CdTeバッファ層を形成したCdTe厚膜層の成長条件

	I doped CdTeバッファ層	低温CdTeバッファ層	CdTe厚膜層
	成長時	成長時	成長時
ホットウォール温度( $T_w$ )[ ]	300	200	200
基板温度( $T_g$ )[ ]	325	325/415	560
VI/II	0.5	1.0	2.0
DMCd供給量[mol/min]	$1.96 \times 10^{-5}$	$1.96 \times 10^{-5}$	$3.92 \times 10^{-5}$
DETe供給量[mol/min]	$1.01 \times 10^{-5}$	$1.96 \times 10^{-5}$	$7.85 \times 10^{-5}$
EI供給量[mol/min]	$7.99 \times 10^{-8}$		

### 4.3 表面モフォロジの評価

図4-4に(a)5時間成長、(b)8時間成長の表面モフォロジを示す。

ともにダスト、ヒロックは確認されず、良好な表面であるといえる。また、5時間成長と8時間成長を比較すると、5時間成長より8時間成長の結晶の大きさが大きくなっていることがわかる。また、ともに結晶表面には凹凸が見られる。これは過去のGaAs基板上へのCdTe厚膜成長の結果と一致している。

### 4.4 2結晶X線回折による結晶性の評価

成長したCdTe厚膜層のDCRC半値幅の計測を行った。I doped CdTeバッファ層のDCRC半値幅は400～200[arcsec.]程度であった。I doped CdTeバッファ層上にCdTe厚膜成長を行うことによって結晶性は改善し、150～50[arcsec.]程度となった。膜厚55[ $\mu\text{m}$ ]においては51[arcsec.]となった。この値はTHM法で作製した高品質バルク結晶のDCRC半値幅である30[arcsec.]に匹敵し、高品質な結晶が作製されているといえる。

以上のことから結晶性の良いCdTe厚膜層が得られたことがわかった。

## 4.5 電流-電圧特性の評価

### 4.5.1 整流性の評価

図4-5にガードリング構造を用いたダイオードの電流-電圧特性を示す。順方向へは立ち上がりが見られる。第3章で述べたことと同様にして順方向特性の経験式(3-1)を用いて最小二乗法で理想係数 $n$ を求めると2以上の値となった。これは大電流領域において半導体基板の直列抵抗による電圧降下であると考えられる。

順方向電圧5[V]において電流密度は312[ $\mu\text{A}/\text{cm}^2$ ]であり、逆方向電圧10[V]、100[V]において逆方向電流密度はそれぞれ3.14[ $\mu\text{A}/\text{cm}^2$ ]、56.5[ $\mu\text{A}/\text{cm}^2$ ]となった。順方向、逆方向の関係から整流性の良いダイオードであることがわかった。

#### 4.5.2 逆方向電流-電圧特性の温度特性の評価

図4-6に室温から80[ ]まで測定温度を変化させたときのガードリングを施したダイオードの逆方向電流-電圧特性の温度特性を示す。図には逆方向電圧を5[V]と40[V]とした結果を示す。図中の直線はそれぞれの計測値を用いて最小二乗法で求めた線である。第3章で述べたことと同様にして式(3-2)を用いて活性化エネルギー $E_a$ を求めた。ここで、CdTeはp型半導体であるので、 $E_a$ はアクセプタとして作用するトラップ準位となる。算出の結果、価電子帯から $E_a=0.77 \sim 0.79$ [eV]の位置にトラップ準位があることがわかった。CdTeのバンドギャップが1.49[eV]であることを考えると、価電子帯と伝導帯の中央付近となり、深い不純物準位であることがわかった。

#### 4.5.3 逆方向電流-電圧特性のダイオード径依存特性の評価

図4-7にガードリングを施したダイオードの径を変化させた場合の逆方向電圧10[V]と100[V]の逆方向電流-電圧特性を示す。図中の破線は電流が半径の2乗に比例する補助線である。逆方向電圧10[V]、100[V]ともに電極半径の2乗に比例して電流が増加していることがわかった。この結果から、ダイオード周囲からのリーク電流の影響は少ないと考えられる。しかし、径が同じであっても電流のばらつきが大きい。また、電圧が低いほうがばらつきは大きい。これは結晶内部の欠陥の存在による影響が考えられる。

この結果は、ほぼ低温CdTeバッファ層を用いたときの結果と一致している。

#### 4.6 容量-電圧特性の評価

図4-8に容量-電圧特性を示す。チップ型ダイオードを形成し計測を行った。また比較のために、過去の研究でI doped CdTeバッファ層を用いず直接GaAs基板上にCdTe厚膜層を成長させたメサ型ダイオードの結果も同時に示す。なお、I doped CdTeバッファ層を用いたものは#1、#2、#3の3つを示す。この3つの違いは、チップ劈開による人為的な違いが考えられる。#3では逆方向電圧1 ~ 40[V]で空乏層容量360 ~ 170[pF/cm<sup>2</sup>]程度であった。電圧が上昇すると空乏層容量が低下する傾向があり、過去の研究結果よりも空乏層容量の変化が大きくなった。

第3章で述べたことと同様にして式(3-4)を用いて不純物濃度を求めると $7.8 \times 10^{12} \sim 5.1 \times 10^{13}$ [cm<sup>-3</sup>]程度であった。この値はn<sup>+</sup>GaAs基板の値より極めて小さい値といえる。つまり、基板とCdTe厚膜層の不純物濃度を式(3-5)に適用することにより、p型基板側へ空乏層が広がるものと考えられる。過去の研究において不純物濃度は $10^{11}$ [cm<sup>-3</sup>]程度であった。過去の研究に比べ不純物濃度が増加した。このことよりCd空孔へのGaの補償が減少したといえる。

式(3-7)を用いて空乏層幅の変化を求めた。図4-9に逆方向電圧による空乏層幅の変化を示す。この結果を見ると逆方向電圧1 ~ 40[V]の間で20 ~ 50[μm]程度の空乏層幅の変化が見られた。CdTe厚膜層の膜厚が95[μm]であるので、空乏層はCdTe厚膜層の半分以下であることがわかった。

ここで、過去の研究で作製されたダイオードとの比較を行った。今回、I doped CdTeバッファ層を用いることで、逆方向電圧による容量が変化し、同時に空乏層幅の変化が見られた。逆方向電圧40[V]程度において膜厚の半分程度であるので、完全に空乏層が広がりきらない領域であるということがわかった。

また、式(3-8)を用い、外挿法によって拡散電位 $V_d$ を推定した。 $V_d=0 \sim 2$ [V]程度であることがわかった。

この結果は、ヨウ素ドーピングを行わなかったときの結果より拡散電位 $V_d$ が低くなったことを示している。

以上の結果より、I dope CdTe バッファ層を用いることによってpn接合面の転位を減少させ、低温CdTe バッファ層を用いることによってGa拡散を低減し、成長基板温度560[ ]で高速に成長させることが可能であることがわかった。

電流-電圧特性において、深い準位のトラップがあることが確認されたが、空乏層幅が変化したことから過去の研究結果よりも特性の改善されたCdTe厚膜層を形成することができた。

#### 4.7 TOF測定によるキャリア輸送特性の評価

図4-10にガードリングを施したダイオードのTOF電流波形を示す。測定は光入射面(CdTe側)を0[V]、2[V]、4[V]、6[V]、10[V]で負にバイアスし、室温で行った。それぞれ0秒時にレーザを照射し、そのときの電流の振る舞いをとらえている。逆方向電圧の増加にともなうフォトレスポンスの増加が確認された。逆方向電圧0[V]時においても出力電流が観測されたことから、pn接合が形成されていると考えられる。また、バイアスが大きいほどその振動が収束するのが早いことがわかり、キャリアのドリフトが観測された。この波形が振動している理由として、CdTe厚膜層、I doped CdTe バッファ層内や、GaAs基板の界面付近に存在すると考えられるトラップにキャリアがトラッピングされたり、デトラッピングされたりするためと考えられるが、波形の時定数が変化しないことから回路内部の反射が影響しているものと考えられる。

ドリフト速度  $v_d$  は式(4-1)のように定義される。また、トランジットタイム  $T_R$  は式(4-2)のように表すことができる。ここで、 $\mu_0$  は移動度、 $E$  は電界、 $W$  は膜厚である。

$$v_d = \mu_0 E \quad (4-1)$$

$$T_R = \frac{W}{v_d} \quad (4-2)$$

これより移動度を求める式は

$$\mu_0 = \frac{W^2}{T_R V} \quad (4-3)$$

となり、図4-10よりトランジットタイム  $T_R$  を求め、図4-11に示すように移動度  $\mu_0$  の算出を行った。図4-10中の破線はそれぞれトランジットタイム  $T_R$  を示している。逆方向電圧4[V]、6[V]、10[V]の計測結果を用いて最小二乗法を用いて外挿すると、移動度  $\mu = 920[\text{cm}^2/\text{Vs}]$  となった。また、この直線は原点を通ることを考慮して最小二乗法を用いて外挿すると、移動度  $\mu = 1180[\text{cm}^2/\text{Vs}]$  となった。CdTeの移動度  $\mu = 1200[\text{cm}^2/\text{Vs}]$  であることを考慮すると、この結晶は非常に良い移動度を示していると言える。

#### 4.8 パッシベーションによる電気特性の改善

##### 4.8.1 パッシベーションの目的

これまで、表面のリーク電流が問題となってきた。そこで、酸化膜を形成することによる表面のリーク電流を低減する方法が提唱されている。Rybka<sup>15)</sup>の報告によると、パッシベーションを行うことによって、リーク電流の低減化が行われている。ここでは、電極形成の前にパッシベーションを行う場合と、電極形成後に行う方法による、リーク電流の低減化について検討した。

<sup>1</sup> 北海道工業大学 鈴木 和彦 教授の協力による

#### 4.8.2 逆方向電流-電圧特性の評価

図4-12にパッシベーション処理の違いによる逆方向電流-電圧特性を示す。図よりパッシベーションを行った後にガードリング形成を行ったほうが、ガードリング形成後にパッシベーションを行うよりリーク電流を低減されることがわかった。

本実験でパッシベーションによる効果が認められた。しかし、パッシベーション方法に関しては今後検討していく必要がある。

#### 4.9 今後の課題

今回、I doped CdTeバッファ層を用いることによって良好な特性を示す半導体の成長に成功した。しかし、低温CdTeバッファ層のみを用いた場合と比べて劣る点も露呈した。一定の成果を上げることができたため、今後I doped CdTeバッファ層の成長条件を細かく検討する必要がある。

パッシベーションにおいてもある程度の効果が認められたため、今後パッシベーション方法を検討していく必要がある。

#### 4.10 まとめ

I doped CdTeバッファ層の成長基板温度を325[ ]一定、CdTe厚膜成長時の成長基板温度560[ ]一定としてCdTe厚膜層をn+GaAs基板の上に成長させた。得られたCdTe厚膜層の表面モフォロジの評価、2結晶X線回折による結晶性の評価、電流-電圧特性の評価、容量-電圧特性の評価TOF測定によるキャリア輸送特性の評価を行った。また、リーク電流の低減化を目的としたパッシベーションによる電気特性の改善を行った。得られた結果を以下にまとめる。

- (1) 表面モフォロジの評価より次のことがわかった。
  - (a) 5時間成長と8時間成長ともにダスト、ヒロックは確認されず、良好な表面であるといえる。
  - (b) 5時間成長より8時間成長の結晶の大きさが大きくなっていることがわかる。また、ともに結晶表面には凹凸が見られる。
- (2) 2結晶X線回折による結晶性の評価より次のことがわかった。
  - (a) I doped CdTeバッファ層のDCRC半値幅は400~200[arcsec.]程度であった。
  - (b) I doped CdTeバッファ層上にCdTe厚膜成長を行うことによって結晶性は改善し、150~50[arcsec.]程度となった。
  - (c) 膜厚55[μm]においては51[arcsec.]となり、高品質な結晶が作製されているといえる。
- (3) 電流-電圧特性の評価より次のことがわかった。
  - (a) 整流性の評価より次のことがわかった。

電流は想係数nが2以上になったため大電流領域における半導体基板の直列抵抗による電圧降下であると考えられる。

順方向電圧5[V]において電流密度は312[μA/cm<sup>2</sup>]であり、逆方向電圧10[V]、100[V]において逆方向電流密度はそれぞれ3.14[μA/cm<sup>2</sup>]、56.5[μA/cm<sup>2</sup>]となった。

順方向、逆方向の関係から整流性の良いダイオードであることがわかった。

- (b) 逆方向電流 電圧特性の温度特性の評価より次のことがわかった。  
価電子帯から活性化エネルギー  $E_a=0.77 \sim 0.79$  [eV]の位置にトラップ準位があることがわかった。  
CdTeのバンドギャップが1.49[eV]であることを考えると、価電子帯と伝導帯の中央付近となり、深い不純物準位であることがわかった。
- (c) 逆方向電流 電圧特性のダイオード径依存特性の評価より次のことがわかった。  
逆方向電圧10[V]、100[V]ともに電極半径の2乗に比例して電流が増加していることがわかった。この結果から、ダイオード周囲からのリーク電流の影響は少ないと考えられる。  
径が同じであっても電流のばらつきが大きい。また、電圧が低いほうがばらつきは大きい。これは結晶内部の欠陥の存在による影響が考えられる。
- (4) 容量 電圧特性の評価より次のことがわかった。
- (a) 逆方向電圧1 ~ 40[V]で空乏層容量360 ~ 170[pF/cm<sup>2</sup>]程度であった。
- (b) 電圧が上昇すると空乏層容量が低下する傾向があり、過去の研究結果よりも空乏層容量の変化が大きくなった。
- (c) 不純物濃度を求めると  $7.8 \times 10^{12} \sim 5.1 \times 10^{13}$  [cm<sup>-3</sup>]程度であった。この値はn+GaAs基板の値より極めて小さい値といえる。
- (d) 基板とCdTe厚膜層の不純物濃度を式(3-5)に適用することにより、p型基板側へ空乏層が広がるものと考えられる。
- (e) ヨウ素ドーピングしなかった場合のほうが高かった。このことよりヨウ素をドーピングするとGaが拡散しやすくなることがわかった。
- (f) 逆方向電圧1 ~ 40[V]の間で20 ~ 50[ $\mu$ m]程度の空乏層幅の変化が見られた。CdTe厚膜層の膜厚が95[ $\mu$ m]であるので、空乏層はCdTe厚膜層の半分以下であることがわかった。
- (g) I doped CdTeバッファ層を用いることで、逆方向電圧による容量が変化し、同時に空乏層幅の変化が見られた。逆方向電圧40[V]程度において膜厚の半分程度であるので、完全に空乏層が広がりきらない領域であるということがわかった。
- (h) 拡散電位  $V_d=0 \sim 2$  [V]程度であることがわかった。
- (i) I dope CdTeバッファ層を用いることによってpn接合面の転位を減少させ、低温CdTeバッファ層を用いることによってGa拡散を低減し、成長基板温度560[ ]で高速に成長させることが可能であることがわかった。
- (5) TOF測定によるキャリア輸送特性の評価より次のことがわかった。
- (a) 逆方向電圧0[V]時においても出力電流が観測されたことから、pn接合が形成されていると考えられる。
- (b) バイアスが大きいほどその振動が収束するのが早いことがわかり、キャリアのドリフトが観測された。
- (c) この波形が振動している理由として、回路内部の反射が影響しているものと考えられる。

- (d) 逆方向電圧4[V]、6[V]、10[V]の計測結果を用いて最小二乗法を用いて外挿すると、移動度  $\mu = 920[\text{cm}^2/\text{Vs}]$  となった。また、この直線は原点を通ることを考慮して最小二乗法を用いて外挿すると、移動度  $\mu = 1180[\text{cm}^2/\text{Vs}]$  となった。CdTeの移動度  $\mu = 1200[\text{cm}^2/\text{Vs}]$  であることを考慮すると、この結晶は非常に良い移動度を示していると言える。
- (6) パッシベーションによる電気特性の改善より次のことがわかった。
- (a) 逆方向電流 電圧特性の評価より次のことがわかった。
- パッシベーションを行った後にガードリング形成を行ったほうが、ガードリング形成後にパッシベーションを行うよりリーク電流を低減されることがわかった。

つまり、I doped CdTe バッファ層を成長させることによりpn接合面が基板から移動し、pn接合面の転位密度は減少したと考えられる。また、低温CdTeバッファ層を用いることによってGa拡散を低減し、成長基板温度560[ ]で高速に成長させることが可能であることがわかった。それによりキャリアのドリフトが観測されるようになり、良好なCdTe厚膜層を得るにいたった。

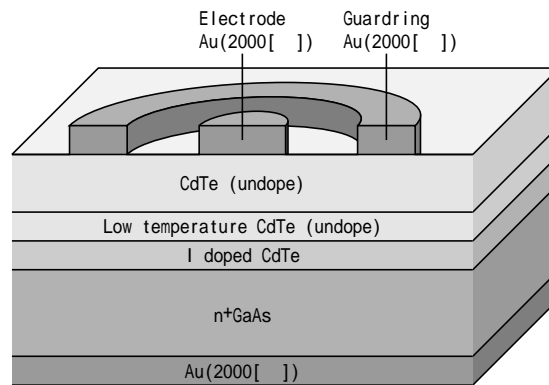


図4-1 I doped CdTe中間層を用いたダイオード構造

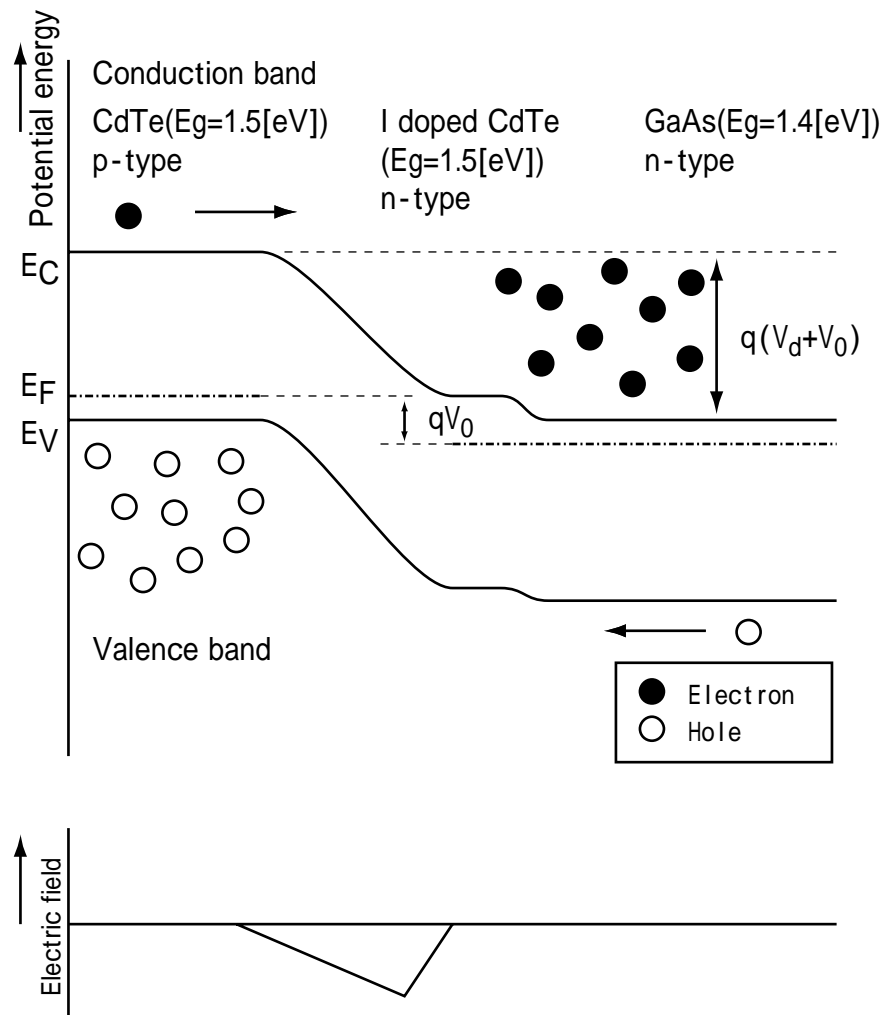
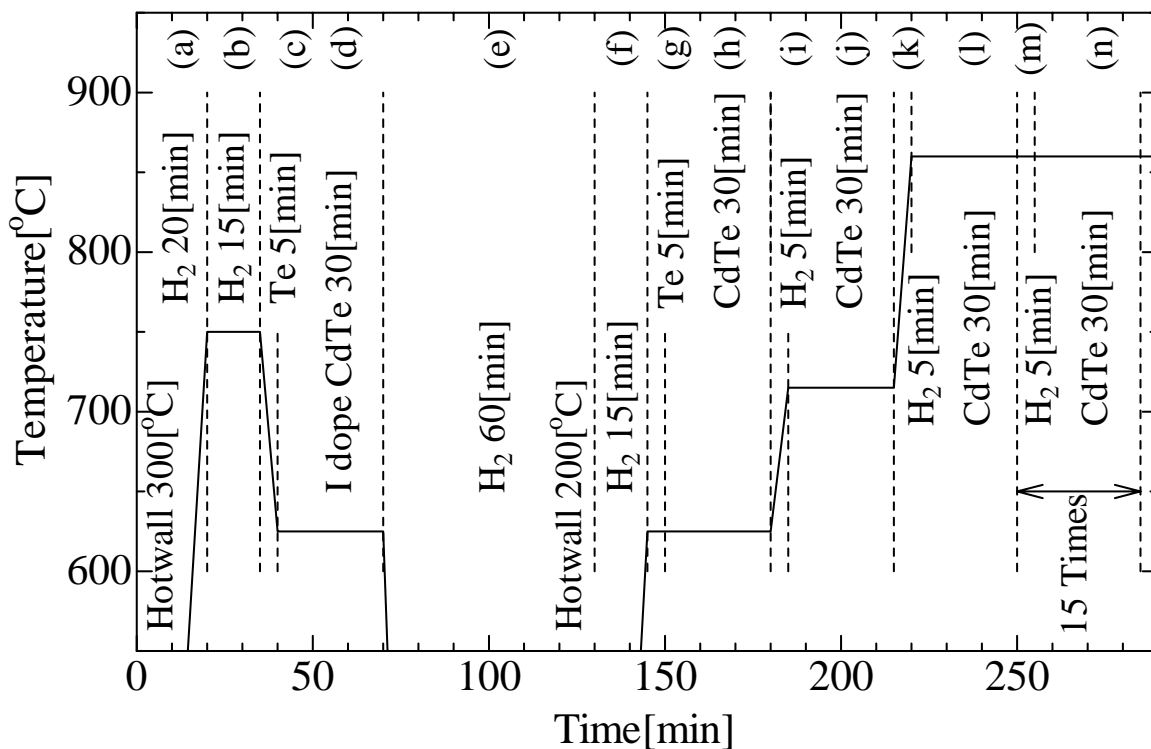
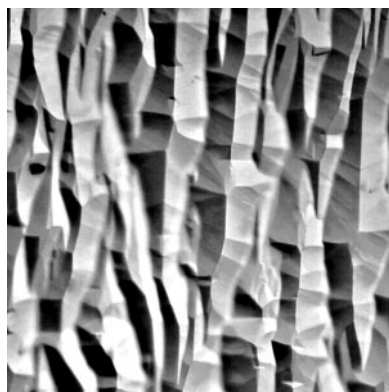


図4-2 逆方向電圧を加えた場合のバンド構造



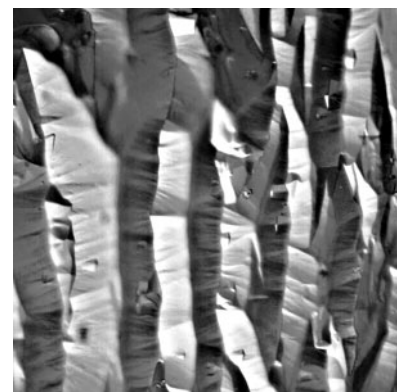
- (a) 加熱
  - (b) サーマルクリーニング
  - (c) 初期Te層成長
  - (d) I doped CdTeバッファ層成長
  - (e) ヨウ素排気
  - (f) 加熱
  - (g) Te層成長
  - (h) 低温CdTeバッファ層成長
  - (i) H<sub>2</sub>アニール
  - (j) 低温CdTeバッファ層成長
  - (k) H<sub>2</sub>アニール
  - (l) CdTe厚膜層成長
  - (m) H<sub>2</sub>アニール
  - (n) CdTe厚膜層成長
- また、(m)、(n)は15回繰り返した。

図4-3 成長条件



50[ $\mu\text{m}$ ]

(a)5時間成長  
Thickness : 70[ $\mu\text{m}$ ]



50[ $\mu\text{m}$ ]

(b)8時間成長  
Thickness : 100[ $\mu\text{m}$ ]

図4-4 CdTe厚膜層表面モフォロジ

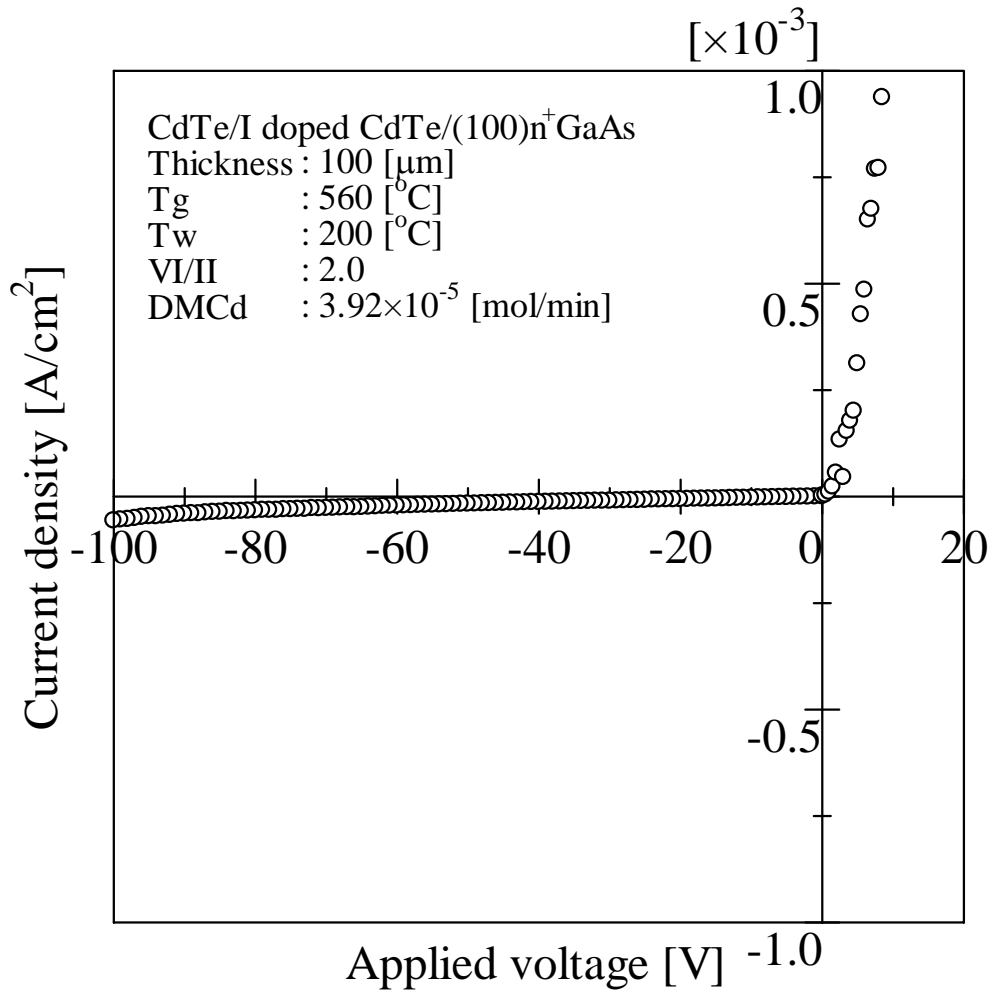


図4-5 電流-電圧特性

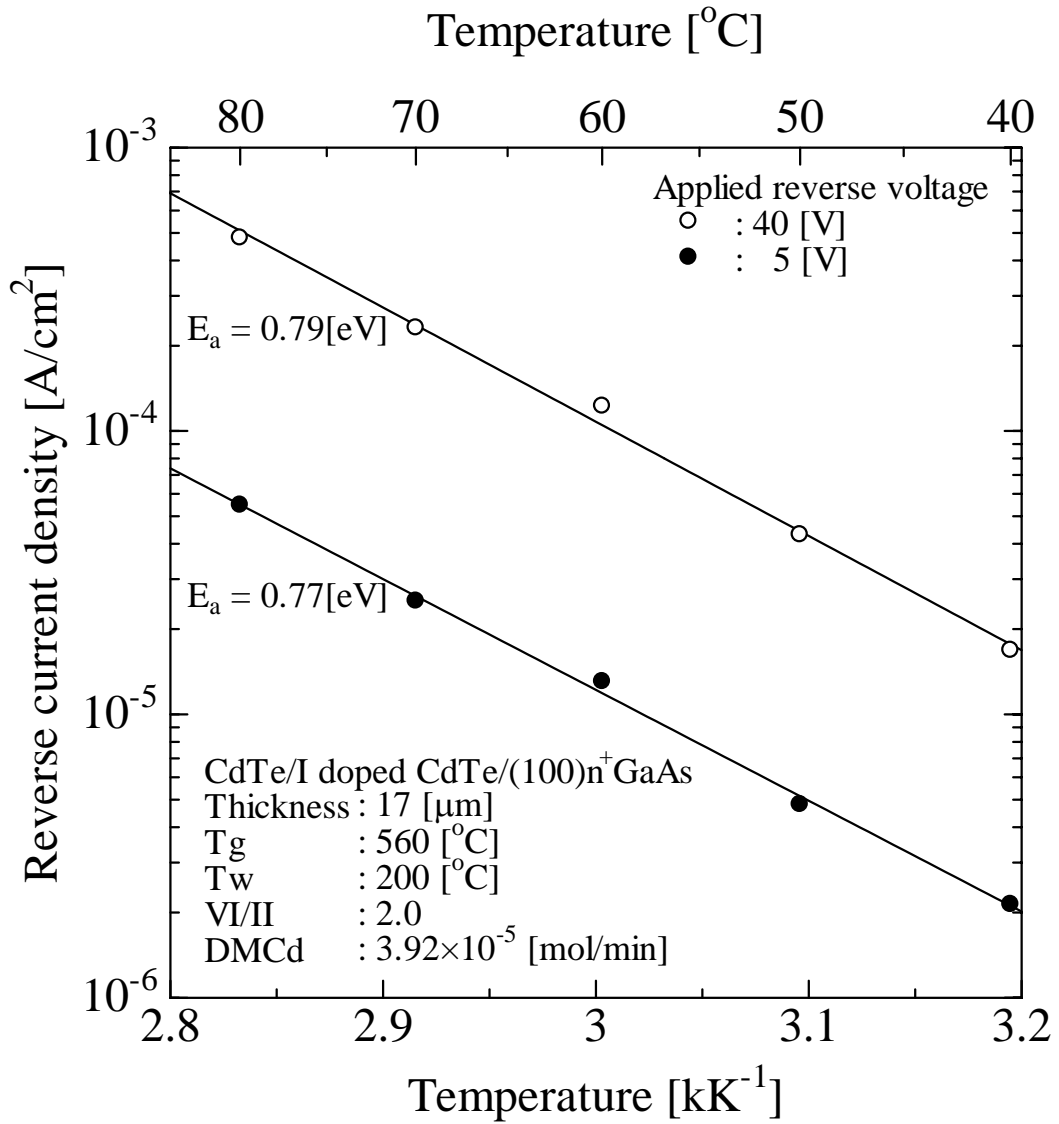


図4-6 逆方向電流-電圧特性の温度特性

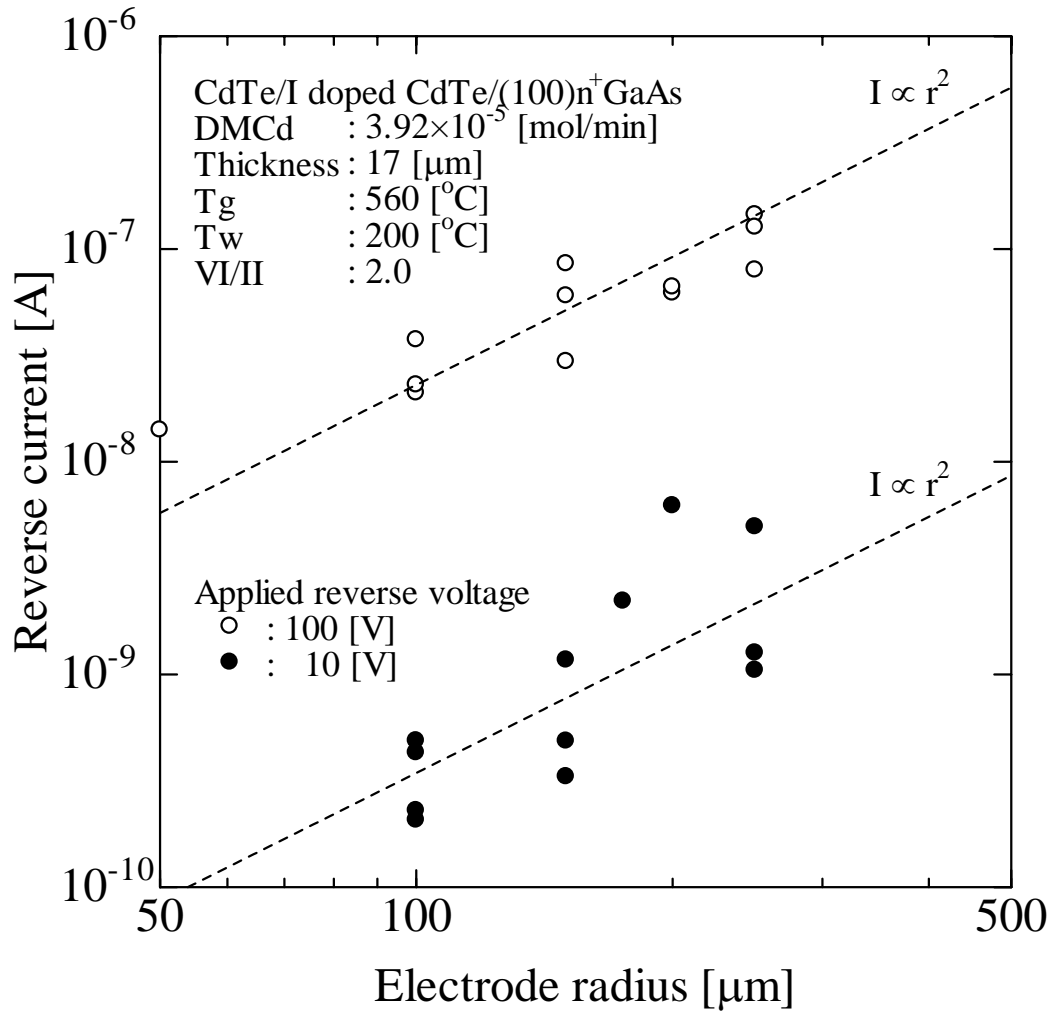


図4-7 逆方向電流-電圧特性のダイオード径依存特性

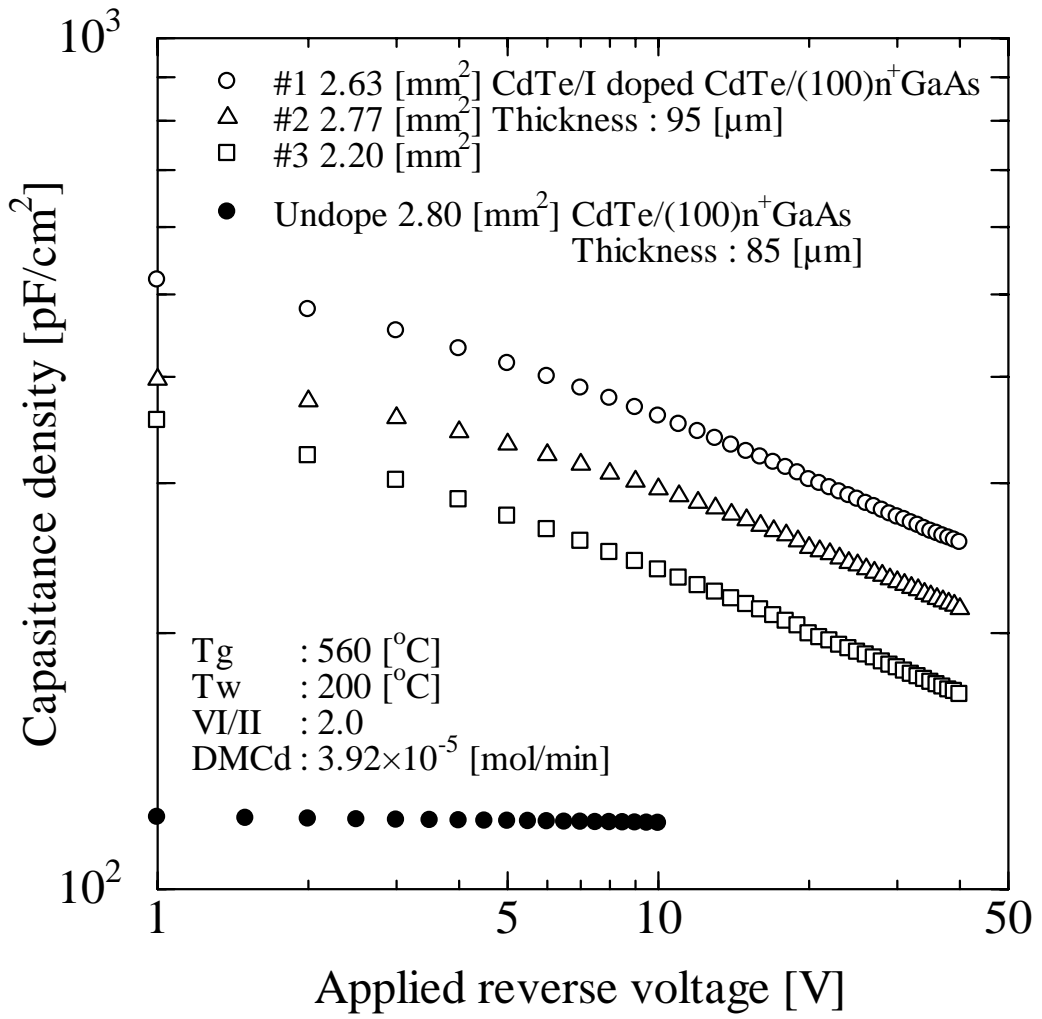


図4-8 容量 電圧特性

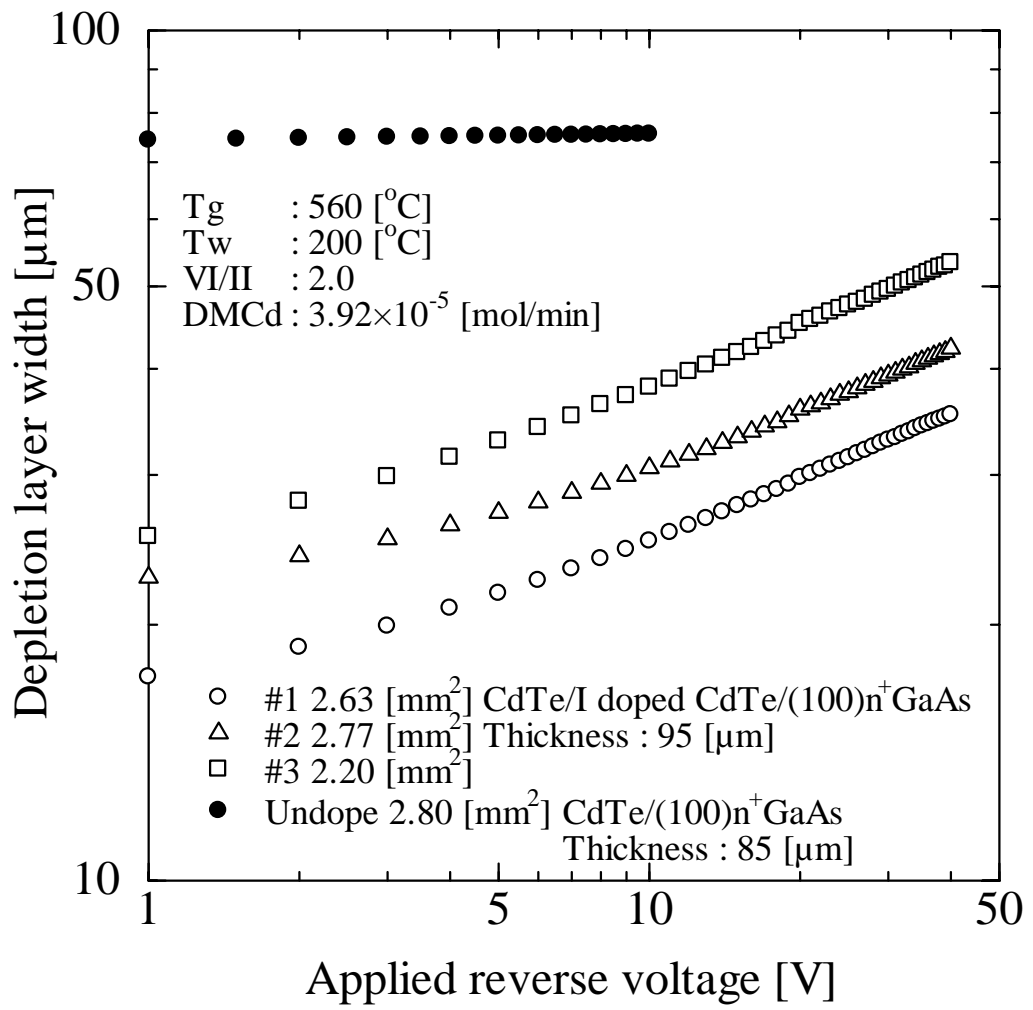


図4-9 逆方向電圧による空乏層幅の変化

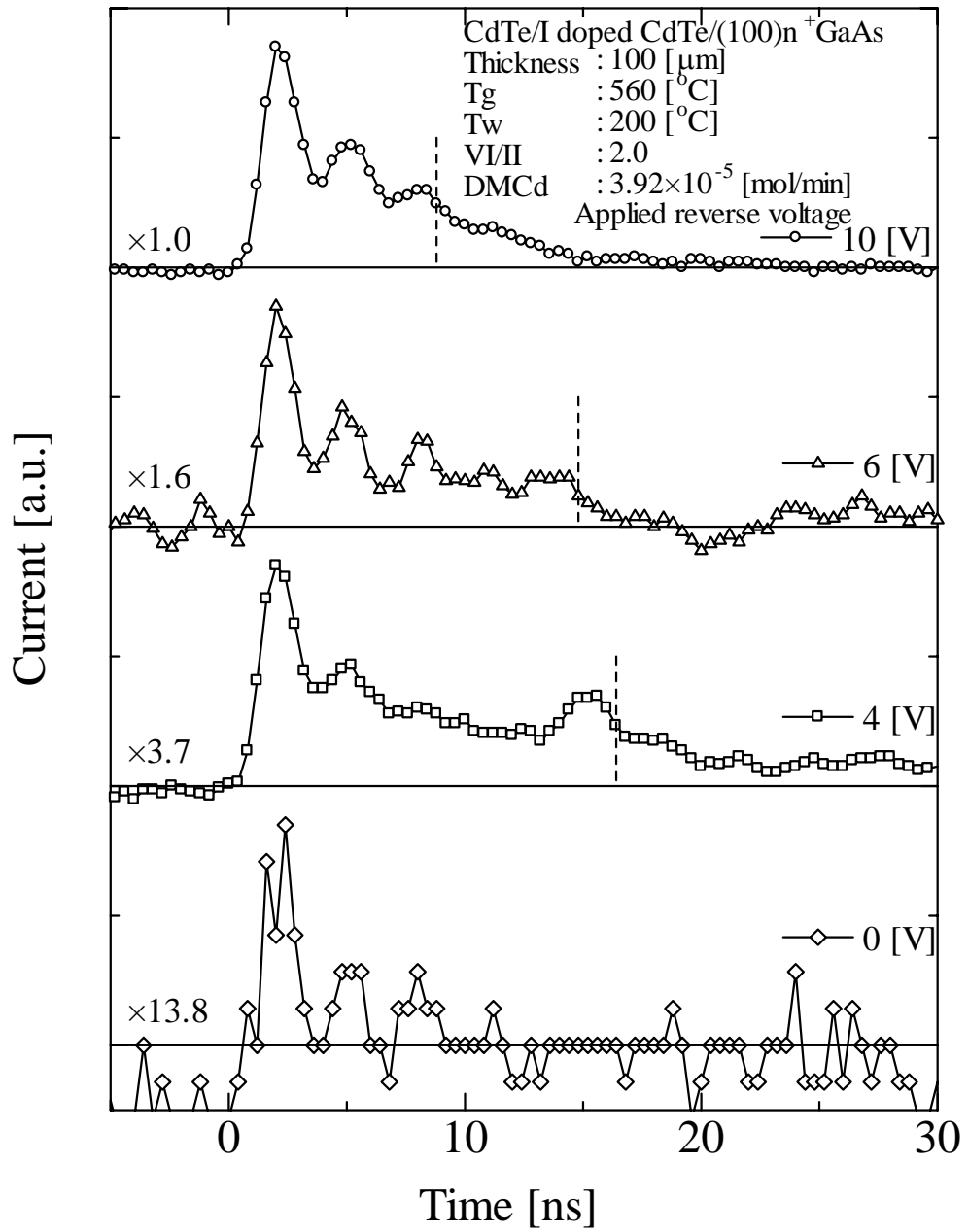


図4-10 TOF電流波形

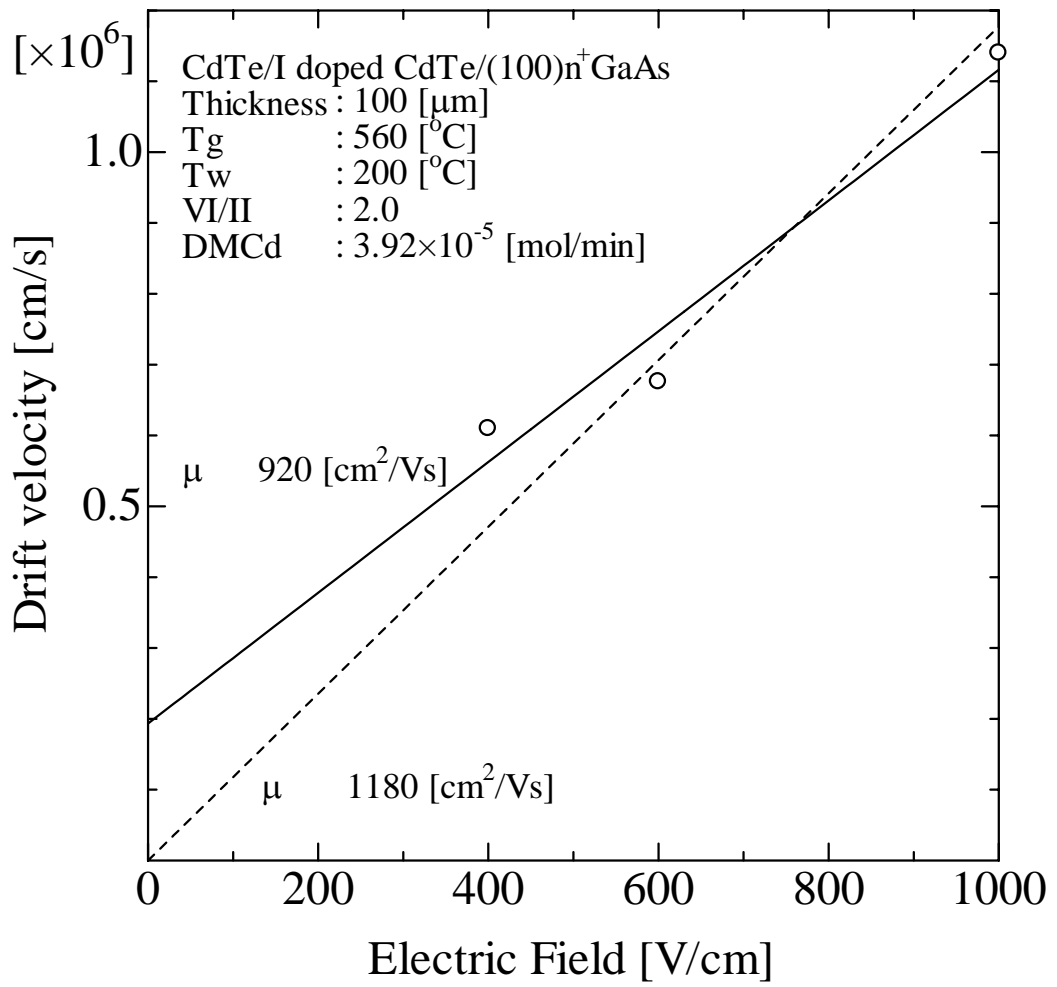


図4-11 TOF測定による移動度の算出

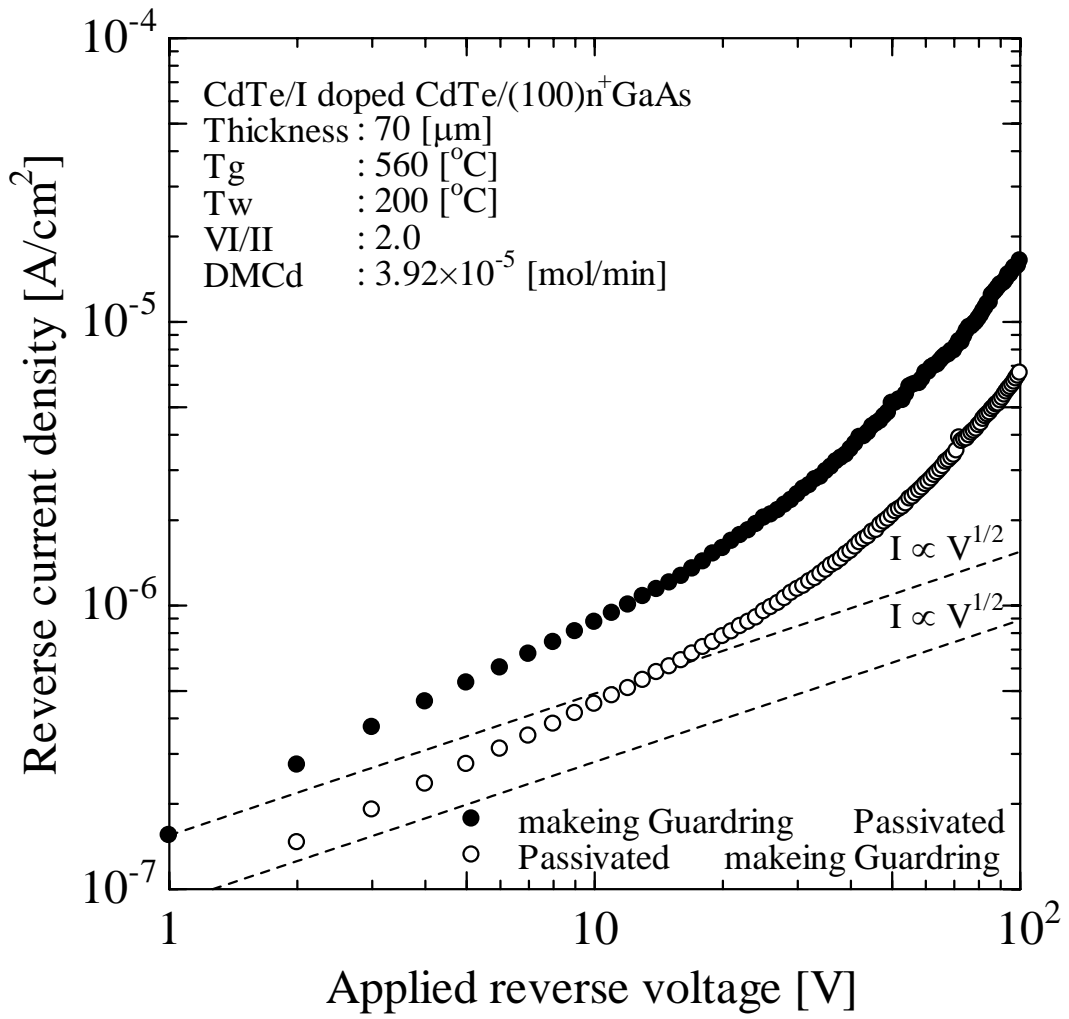


図4-12 パッシベーション処理による逆方向電流-電圧特性

## 第5章

# ZnS/Si基板上へのCdTe層成長と評価

### 5.1 はじめに

X線・線検出器の大面积化については、成長基板にGaAsを利用した場合には現状基板の最大口径4インチ程度までのCdTe層の大面积化が可能であると見込める。しかし、さらに大面积化を計るためには成長基板にSiを利用することが望ましい。この場合、現状基板の最大口径である12インチ程度までのCdTe層の大面积化が可能であると見込める。また、Si基板はGaAs基板と比べると低コストであり、機械的強度が強いという特徴を持っている。Si基板を用いることによって検出器コストの大幅な低減化、検出器自体の信頼性の向上が期待できる。さらにGaAs基板と違い基板からのGa拡散がなくなり、Gaによる深い準位のトラップの形成を防止することが期待できる。しかし、過去の研究においてSi基板上へのCdTe成長は、CdTe単結晶の成長が難しく、成長したとしても成長後に剥離した。この原因として、格子定数の差が大きいことや熱膨張係数の差が大きいということが考えられた。

そこで本研究ではSi基板上へのCdTe層直接成長の基礎検討としてZnS/Si基板上にCdTe層の成長を行った。また、ZnS/Si基板上に低温でCdTeバッファ層の成長を行い、その上にCdTe層の成長を行った。低温CdTeバッファ層を用いない成長方法と用いた成長方法により得られたCdTe膜層の結晶性および光学特性について評価した。

ここでは、図5-1に示すバンド構造を想定している。Si基板はn型半導体である。過去の研究で、CdTe層はp型半導体となり、ZnSバッファ層はn型となることがわかっている。また、ZnSバッファ層の禁制帯幅は3.7[eV]と広いバンド幅である。また、図5-1に示すように、pn接合面はCdTe層とZnSバッファ層に形成される。ZnSバッファ層を用いることで図4-2と違い、障壁を形成することができる。これにより、逆方向のホールの移動が抑制され、GaAs基板やSi基板上にCdTe層を成長させた場合よりもリーク電流の低減化が期待できる。

### 5.2 成長条件

成長装置は常圧ホットウォール縦型MOVPE装置を用いた。成長基板は電子ビーム蒸着により(111)Si基板上にZnSを50~100[nm]程度蒸着させた基板を用いた。Cd原料にはDMCdを、Te原料にはDETeを用いた。

成長基板温度と供給原料は表5-1のように設定した。成長時の成長原料はDMCdとDETeを流量各々 $1.96 \times 10^{-5}$ [mol/min]とした。

低温CdTeバッファ層を用いない場合は図5-2のように成長温度と時間を変化させた。低温CdTeバッファ層を用いた場合は図5-3のように成長温度と時間を変化させた。なお成長時間は基板温度560[ ]の時間を調整して成長時間とした。

低温CdTeバッファ層は350[ ]一定、高温CdTe層は560[ ]一定で成長させた。なお、サーマルクリーニングおよび初期Te層成長時にZnSが飛ばされないことは確認済みである。

表5-1 ZnS/Si基板上へのCdTe層の成長条件

	低温CdTeバッファ層成長時	CdTe層成長時
ホットウォール温度(Tw)[ ]	200	200
基板温度(Tg)[ ]	350	560
VI/II	1.0	2.0
DMCd供給量[mol/min]	$1.96 \times 10^{-5}$	$1.96 \times 10^{-5}$
DETe供給量[mol/min]	$1.96 \times 10^{-5}$	$1.96 \times 10^{-5}$

### 5.3 剥離に関する検討

過去の研究においてSi基板上に直接CdTe層を成長させるのは困難で、たとえ成長しても剥離を起こし破損した。成長が困難な原因の1つとしてSi基板とCdTe層の格子定数の違いによる影響が考えられる。表5-2に各材料の格子定数とSiおよびCdTeとの相対誤差を示す。また、ある成長温度で成長できた場合でも、成長温度では剥離を起こさなかったとしても、室温に戻した段階で剥離が起こることも考えられる。この温度の違いによる剥離の原因として、表面の酸化膜や材料の熱膨張係数の違いによる影響が考えられる。表5-3に各材料の熱膨張係数とSiおよびCdTeとの相対誤差を示す。

CdTeに対するZnSとSiの格子定数の相対誤差は各々16.5[%]、16.6[%]と大きく差はない。一方、熱膨張係数は各々21.9[%]、50.2[%]であり、ZnSのほうがSiよりも温度変化による影響は少ないと考えられる。

表5-2 材料の格子定数と格子ミスマッチ

材料名	格子定数[ ]	Siとの相対数誤差[%]	CdTeとの相対数誤差[%]
CdTe	6.48	20.0	-
Si	5.43	-	16.6
GaAs	5.65	4.6	12.8
ZnS	5.41	0.2	16.5

表5-3 材料の熱膨張係数と相対数誤差(300[K])

材料名	熱膨張係数[ $10^{-6}K^{-1}$ ]	Siとの相対数誤差[%]	CdTeとの相対数誤差[%]
CdTe	5.3	100	-
Si	2.6	-	50
GaAs	5.9	130	10
ZnS	7.4	180	39

### 5.4 表面モフォロジーの評価

図5-4に(a)低温CdTeバッファ層を用いない場合の30分成長、(b)低温CdTeバッファ層を用いた場合の30分成長、(c)低温CdTeバッファ層を用いた場合の1時間成長、(d)低温CdTeバッファ層を用いた場合の3時間

成長CdTe層を成長させた場合の表面モフォロジを示す。表面状態を見ると、結晶は(a)は小さく、(b)は大きい、結晶方向がばらばらである。(c)のCdTe層を1時間成長させた場合、結晶はさらに大きくなるが方向にばらつきがあり、ダストが現れた。さらに、(d)のCdTe層を3時間成長させた場合、ダストが増加し、ダスト自体も成長し、全面ダスト状態となった。

成長時間が増加することによって結晶の大きさは大きくなった。しかし、成長時間30分以上になるとダストが増加することがわかった。このことより成長30分後にダストの原因となるドロップレットの発生を抑制する必要がある。

### 5.5 X線回折による結晶性の評価

図5-5に(a)(111)Si基板上にTeバッファ層を挟み60分成長、(b)低温CdTeバッファ層を用いなかった場合の30分成長、(c)低温CdTeバッファ層を用いた場合の30分成長、(d)低温CdTeバッファ層を用いた場合の60分成長、(e)低温CdTeバッファ層を用いた場合の180分成長させた場合のX線回折測定を行った結果を示す。図にはピークとなる角度とその成長方位を示してある。

(a)は(111)方向、(220)方向、(311)方向、(400)にピークが見られた。これは(111)Si基板上にTeバッファ層を挟みCdTeを成長させCdTe層を成長させたが、GaAs基板への成長とは違い多結晶化してしまうことを示している。(b)、(c)の30分成長の場合は(111)方向の成長が多く、(220)方向と(311)方向にもわずかに成長していることがわかった。(a)では、 $56.8^\circ$ 付近の(400)方向の成長も観測されたが、(b)、(c)の30分成長の場合はほとんど観測されなかった。(c)の低温CdTeバッファ層を用いた場合は、(311)方向の成長が抑制されている。(c)において、(111)方向のピークは他のピークと比べて15倍以上強度が強い。このことからほぼ単結晶になっていることがわかった。

一方、(d)の60分成長させた場合、(c)の半分の強度しか得られなかった。また、(e)の180分成長ではさらに強度が弱くなり、(400)方向の成長も観測され多結晶化していることがわかった。このことは5.4節でも述べたようにダストによる影響と考えられる。

以上の結果よりZnS/Si基板を用いることによって、単結晶化したCdTeを成長させることが可能であることがわかった。また、成長時間30分においては低温CdTeバッファ層を用いた場合のほうが用いなかった場合と比べて回折強度が強くなり単結晶化することがわかった。

### 5.6 PL測定による光学特性の評価

図5-6に(a)(100)GaAs/(100)Si基板上に成長、(b)低温CdTeバッファ層を用いた場合の30分成長、(c)低温CdTeバッファ層を用いた場合の1時間成長させた場合のPL測定を行った結果を示す。図中にはピークとなるエネルギーとその種類を示してある。なお、4.2[K]の液体ヘリウム中でPL測定を行っても、ZnS/Si基板上のCdTe層に剥離は起こらなかった。

図より(b)、(c)には1.58[eV]付近の励起子(exciton)発光と1.46[eV]付近のドナー・アクセプタ対(DAP)発光が観測された。しかし、その発光強度は弱かった。また、(a)のSi基板上のCdTe層は引張り歪を受けることが知られているが比較すると、励起子発光のピークは(b)では0.005[eV]程度、(c)では0.007[eV]程度低エネルギー側へシフトしている。このことから、CdTe層にかかる基板からの引張り歪みの量が大きくなったといえる。

## 5.7 今後の課題

今回の成長では50～100[nm]程度のZnSが蒸着されたSi基板を用いてCdTe層成長を行った。CdTe層はSi基板から剥離しないことが確認できた。また、単結晶化することがわかった。

今回の実験で、ZnSの薄い層を電子ビーム蒸着によってSi基板上に蒸着した基板を用いた場合、CdTe層の成長はほぼ単結晶化することがわかった。また、低温CdTeバッファ層を用いることによって単結晶化を促進させることができることがわかった。

以上のことから、バッファ層を用いることで良好なCdTe層を成長させられると予想される。そのためにはバッファ層の材料、成長方法、成長条件、バッファ層の膜厚等を最適化していく必要がある。

## 5.8 まとめ

CdTe成長時の成長基板温度560[ ]一定としてCdTe層をZnS/Si基板上に成長させた。得られたCdTe層の表面モフォロジの評価、X線回折による結晶性の評価、PL測定による光学特性の評価を行った。得られた結果を以下にまとめる。

- (1) 表面モフォロジの評価より次のことがわかった。
  - (a) 成長時間が増加することによって結晶の大きさは大きくなった。
  - (b) 成長時間30分以上になるとダストが増加することがわかった。このことより成長30分後にダストの原因となるドロップレットの発生を抑制する必要がある。
- (2) X線回折による結晶性の評価より次のことがわかった。
  - (a) 30分成長の場合は(111)方向の成長が多く、(220)方向と(311)方向にもわずかに成長していることがわかった。
  - (b) 56.8[°]付近の(400)方向の成長は30分成長の場合ではほとんど観測されなかった。
  - (c) 低温CdTeバッファ層を用いた場合は、(311)方向の成長が抑制されている。また、(111)方向のピークは他のピークと比べて15倍以上強度が強い。このことからほぼ単結晶になっていることがわかった。
  - (d) 60分成長させた場合、強度が弱まった。また、180分成長ではさらに強度が弱くなり、(400)方向の成長も観測され多結晶化していることがわかった。
  - (e) ZnS/Si基板を用いることによって、CdTe単結晶を成長させることが可能であることがわかった。
- (3) PL測定による光学特性の評価より次のことがわかった。
  - (a) 4.2[K]の液体ヘリウム中でPL測定を行っても、ZnS/Si基板上のCdTe層に剥離は起こらなかった。
  - (b) 励起子発光やドナー・アクセプタ対発光が観測された。
  - (c) 研究結果と比較すると、励起子発光のピークは0.005～0.007[eV]程度低エネルギー側にシフトしている。
  - (d) CdTe層にかかる基板からの引張り歪みの量が大きくなったといえる。

- (e) 膜厚が大きくなると歪みの量が大きくなることから、Si基板とCdTe層の熱膨張係数の違いによる歪みの量が大きくなったものと考えられる。

以上のことより、Si基板上にCdTe層を成長させるには中間層を挟むことによって剥離の影響を低減させることができることがわかった。今後、ZnSの膜厚の最適化、他の材料の検討を行う必要がある。

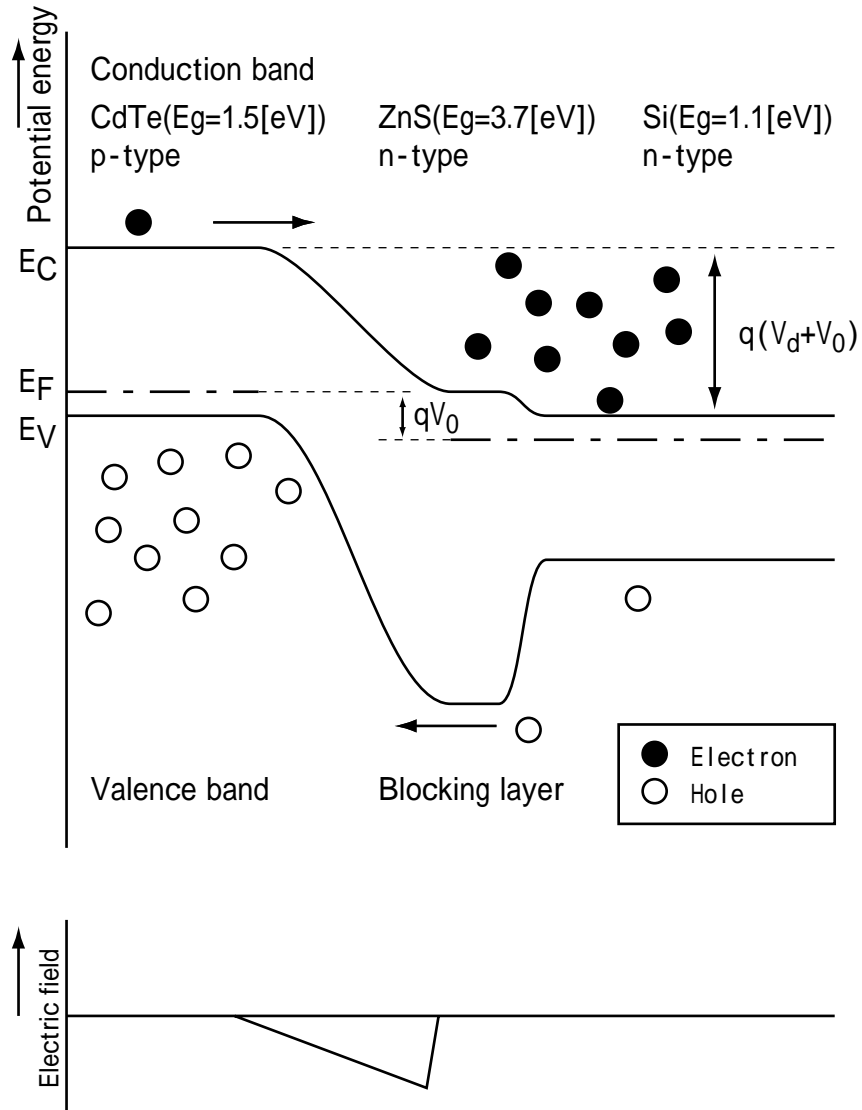
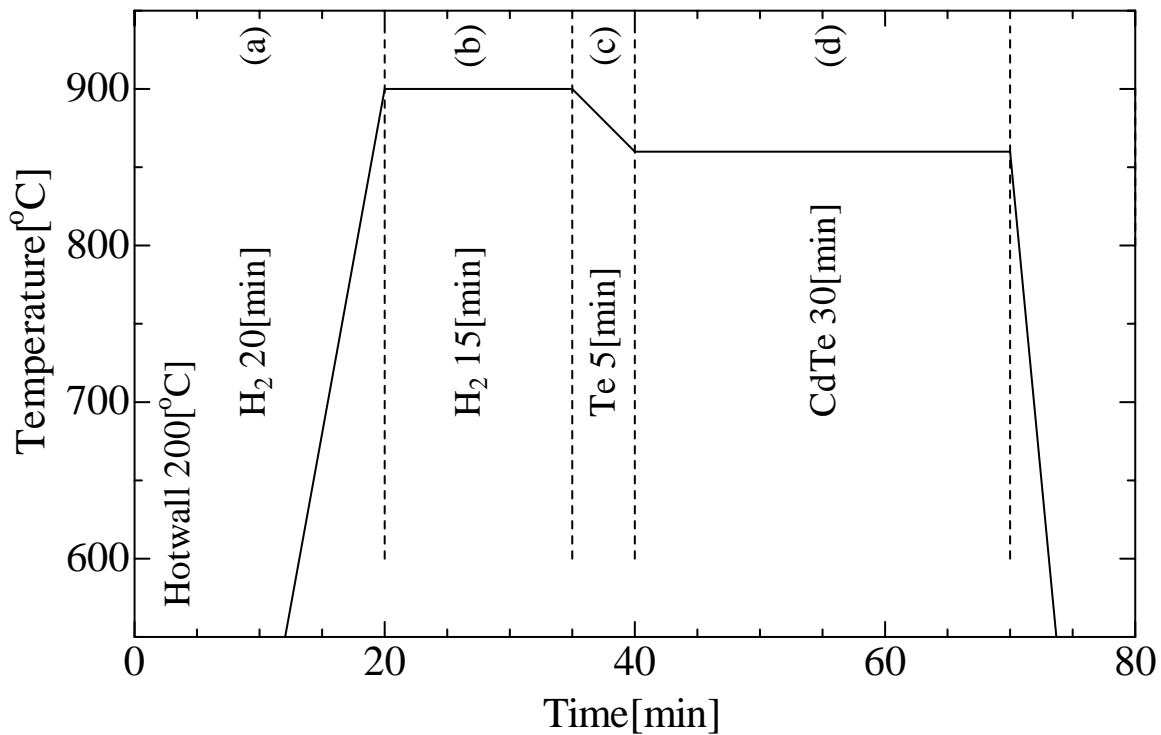
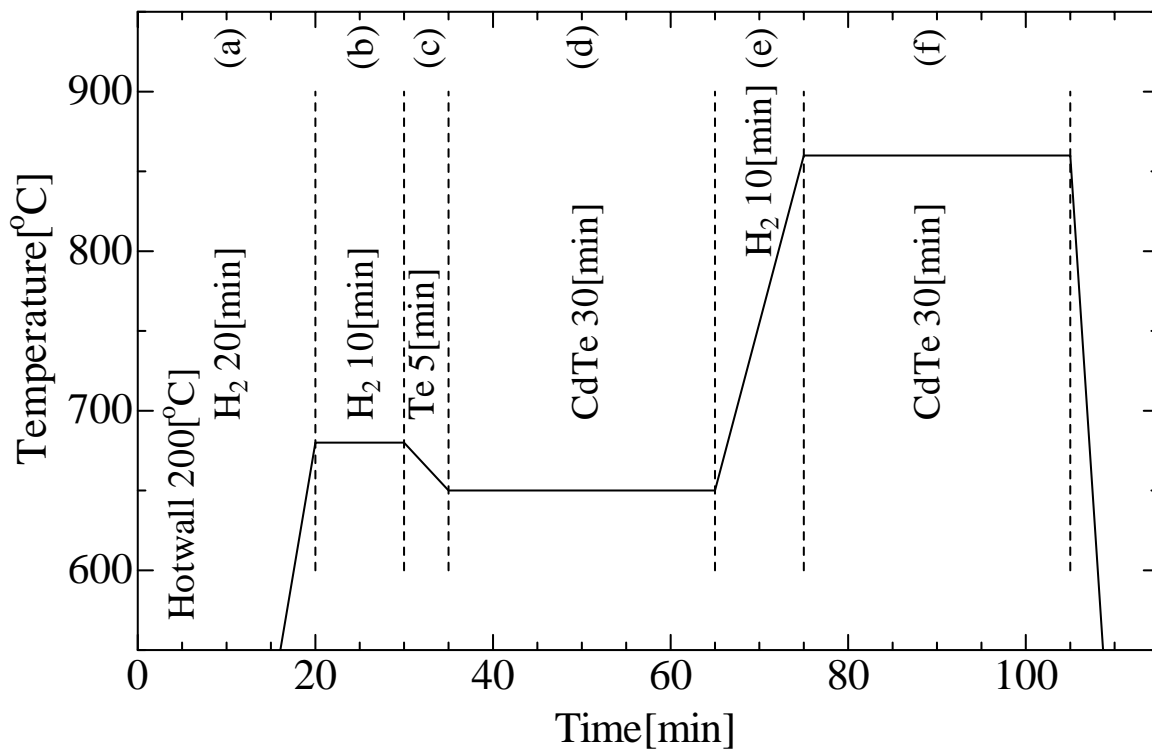


図5-1 逆方向電圧を加えた場合のバンド構造



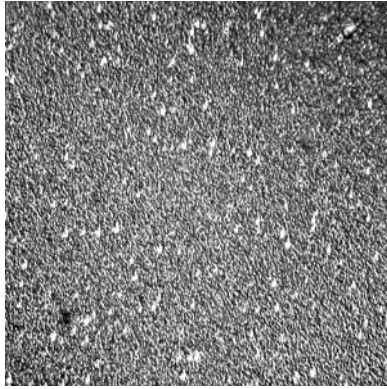
- (a) 加熱
- (b) サーマルクリーニング
- (c) 初期Te層成長
- (d) CdTe層成長

図5-2 低温CdTeバッファ層を用いない場合の成長条件



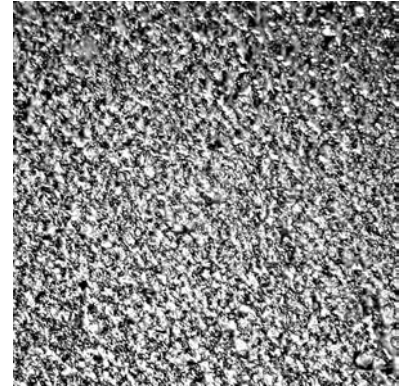
- (a) 加熱
- (b) サーマルクリーニング
- (c) 初期Te層成長
- (d) 低温CdTeバッファ層成長
- (e) 加熱
- (f) CdTe層成長

図5-3 低温CdTeバッファ層を用いた場合の成長条件



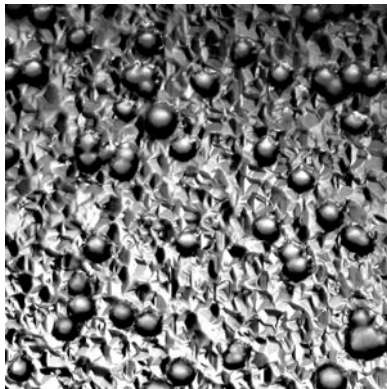
50 [μm]

(a) 低温CdTeバッファ層なし  
30分成長



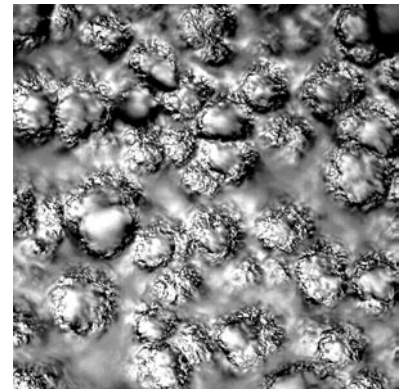
50 [μm]

(b) 低温CdTeバッファ層あり  
30分成長



50 [μm]

(c) 低温CdTeバッファ層あり  
1時間成長



50 [μm]

(d) 低温CdTeバッファ層あり  
3時間成長

図5-4 表面モフォロジ

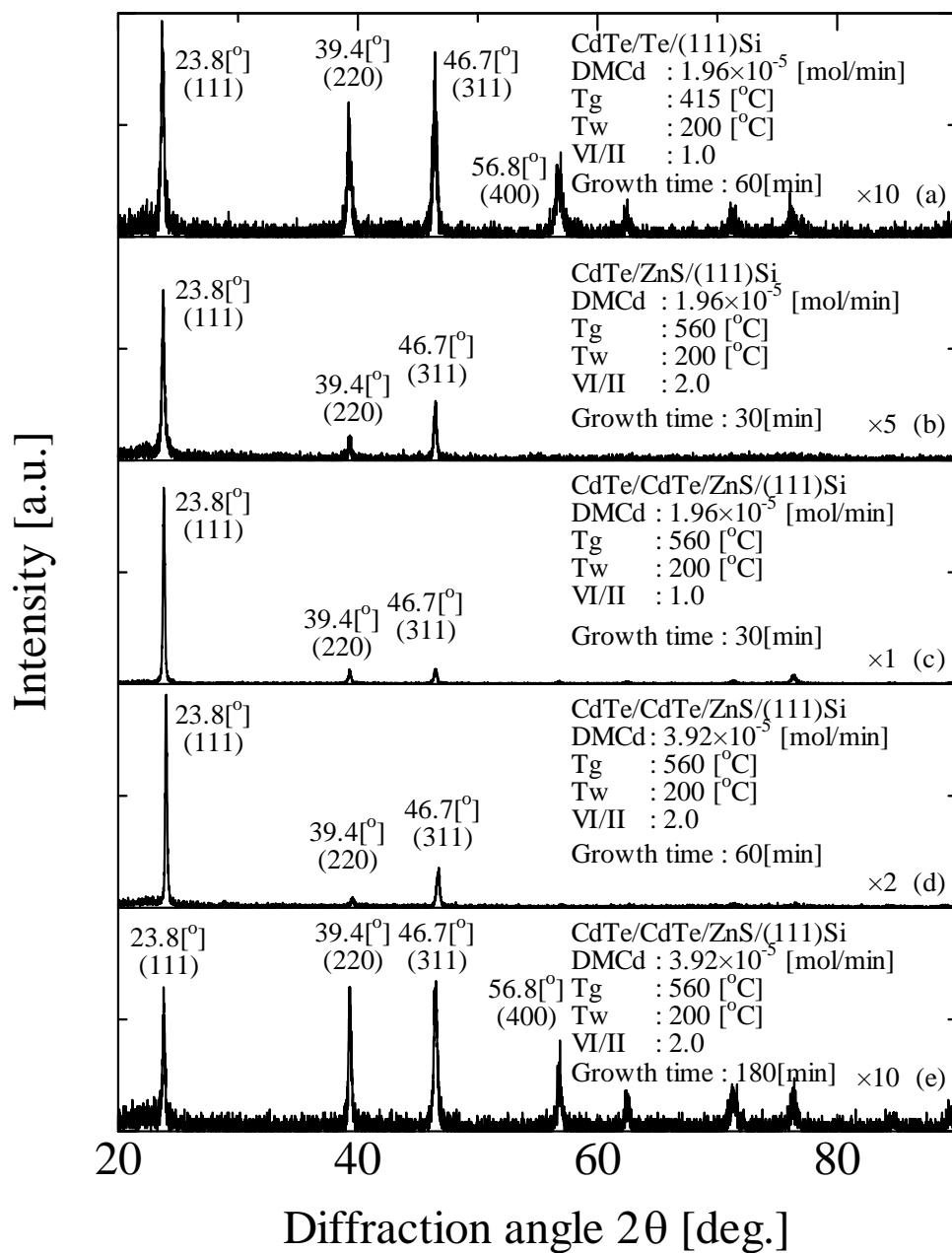


図5-5 ZnS/Si基板上のCdTe層X線回折スペクトル

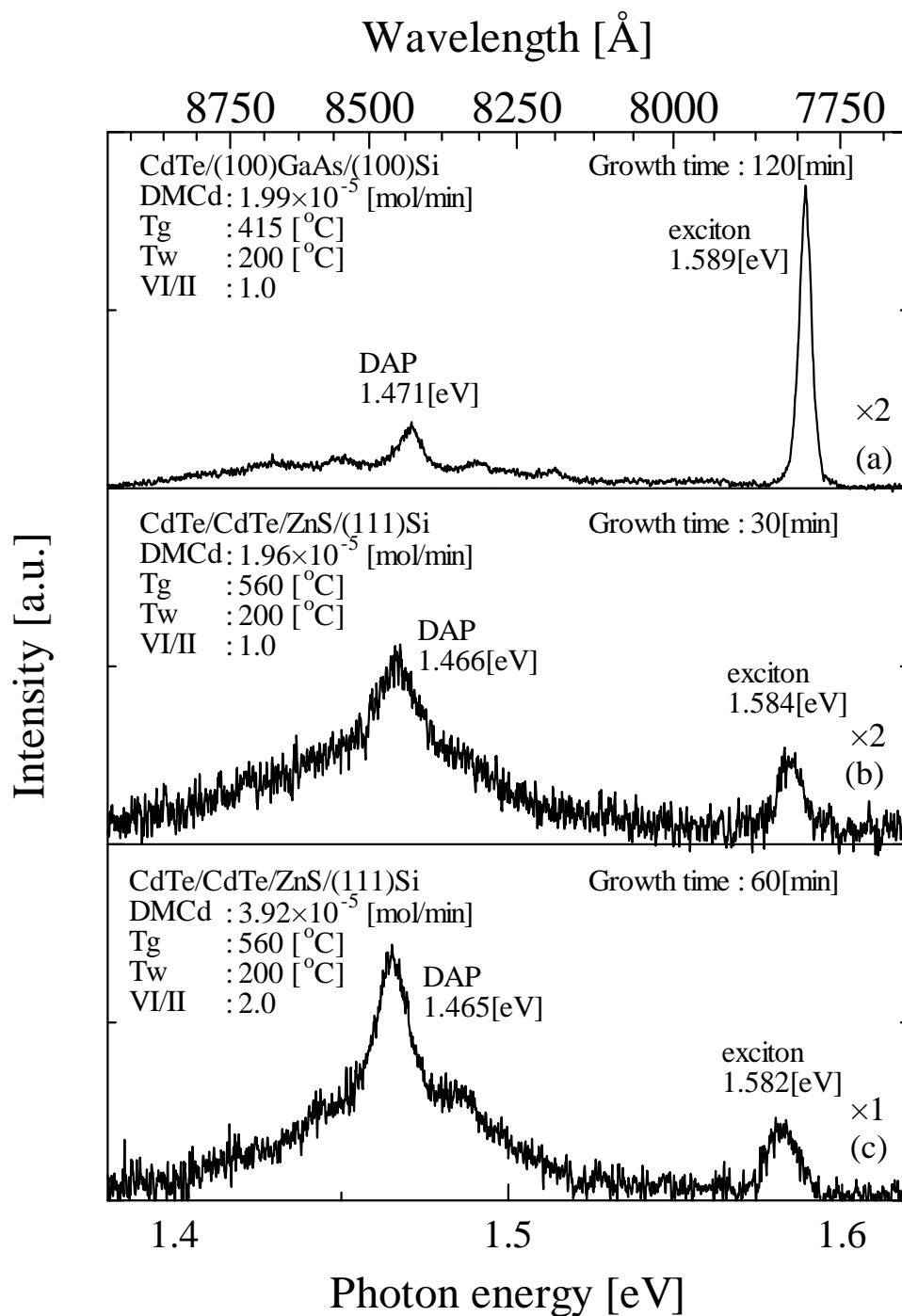


図5-6 ZnS/Si基板上のCdTe層のPL測定による光学特性の評価

## 第6章

# GaAs基板上へのCdZnTe層成長と評価

### 6.1 はじめに

CdTeは常温で動作するX線・線検出器の材料として用いられてきたことはすでに述べた。近年このCdTe層にZnを添加したCdZnTeによるX線・線の研究が活発となってきた。この理由はCdTe中にZnを添加することで禁制帯幅が広がることにより暗電流が減少し、その結果S/N比が向上するためである。しかし、バルク結晶には成長時にZnの偏析が生じるためZn組成制御およびZn組成の均一性が劣化するという本質的な問題がある。また、バルク結晶では大面積化が困難である。

上記の問題を解決するために、エピタキシャル成長によるCdZnTe層の利用がある。一般的にエピタキシャル成長では結晶の均一化や大面積化が容易なため、エピタキシャル成長によるCdZnTe層は上記のデバイスの実現に有利であると考えられる。特にX線・線検出器の利用では優れた特性を持つ検出器を作製できる可能性がある。

禁制帯幅はCdTeが1.49[eV]に対してZnTeが2.26[eV]である。Zn添加量を増加させることによって禁制帯幅が増加する。しかし、Znを加えることによって同じII族のCdが減少すると考えられる。平均原子番号はCdTeが50に対してZnTeが41である。平均原子番号が小さくなるため、X線・線の検出効率が低下する。THM法によるバルク成長ではZn組成を0.2にすることによって禁制帯幅とX線・線の検出効率面で良好となることわかっている<sup>16)</sup>。また過去の研究において、DMZnの供給率を変化させZn組成の制御を行った結果、DMZnの供給率が0～0.8まで増加するとZn組成比は0～0.05間で緩やかに増加し、DMZnの供給率を0.8より増加させると急激に成長層はZnTeに遷移し、Zn組成の制御が困難であった。

そこで本研究では、基板温度、ホットウォール温度、VI/II比、Zn供給率を調整することによってZn組成比0.2付近の制御の改善を行った。また、そのときの成長速度の関係を明らかにした。

### 6.2 成長条件

成長装置は常圧ホットウォール縦型MOVPE装置を用いた。成長基板は(100)GaAs基板を用いた。II族原料にはDMCd、アルキル基交換反応が起こらないZn原料にはDMZnを、Te原料にはDETeを用いた。

成長基板温度と供給原料は図6-1のように変化させ表6-1のように設定した。表に示すようにCdTe層成長時には基板温度560[ ]一定とし、ホットウォール温度を200[ ]、250[ ]、300[ ]、VI/II比を0.5、1.0、2.0と変化させて成長を行った。

表6-1 GaAs基板上へのCdZnTe層の成長条件

	CdZnTe層成長時
ホットウォール温度( $T_w$ )[ ]	200/250/300
基板温度( $T_g$ )[ ]	560
VI/II	0.5/1.0/2.0

### 6.3 X線回折による結晶性の評価

Zn組成を求めるため、X線回折を用いて結晶性を評価した。図6-2に結果を示す。図中の破線はCdTeのピーク角度 $56.9[^\circ]$ とZnTeのピーク角度 $61.1[^\circ]$ を示している。(a)は混晶化していることがわかった。この結果は過去の研究結果に近く、結晶の相分離が問題となっていた。一方、ホットウォール温度、VI/II比を調整した(b)はピークが鋭く、他のピーク強度と比べると10倍以上強い。このことより相分離が減少し、結晶性が向上したことがわかった。これは成長温度を $560[^\circ\text{C}]$ に上げ、ホットウォール温度、VI/II比を大きく変化させることにより得られた結果である。このことより単結晶化したCdZnTe層を得ることができた。

今回、相分離が減少したピーク角度を用いてZn組成とした。

### 6.4 Zn組成 DMZn供給率依存性

図6-3にホットウォール温度を変化させたときのZn組成 DMZn供給率依存性を示す。また、図6-4にVI/II比を変化させたときのZn組成 DMZn供給率依存性を示す。図中の×印および+印は過去の研究において良好であった成果である。なお、図6-3中の曲線は重ね合わせ法による理論曲線である。

図6-3を見ると、過去の成長基板温度を $450[^\circ\text{C}]$ とした場合と比べて $560[^\circ\text{C}]$ とした場合ではZn組成が上昇した。過去の研究結果において良好だったものと比べると、ホットウォール温度を $200[^\circ\text{C}]$ とした場合ではZnが取り込まれにくかった。また、理論曲線と比べると傾向は一致するが、値が大きく異なった。しかし、ホットウォール温度を $250[^\circ\text{C}]$ 、 $300[^\circ\text{C}]$ と変化させるとZnが取り込まれやすくなった。Zn組成0.2付近の傾斜を考えると、ホットウォール温度を $250[^\circ\text{C}]$ とした場合は急激に通過すると予測されるが、 $300[^\circ\text{C}]$ とした場合は緩やかに変化するものと予想される。

図6-4を見ると、過去の成長基板温度を $450[^\circ\text{C}]$ とした場合と比べて $560[^\circ\text{C}]$ とした場合ではZn組成が上昇した。ホットウォール温度を $300[^\circ\text{C}]$ とした場合は、VI/II比を1.0から2.0に変化させることによってZnが取り込まれやすくなった。また、その差はDMZn供給率を0.5にした場合のほうが0.7にした場合と比べて大きかった。一方、ホットウォール温度を $250[^\circ\text{C}]$ とした場合は、DMZn供給率を0.5の場合はVI/II比を1.0から2.0に変化させることによってZnが取り込まれやすくなった。しかし、DMZn供給率を0.7の場合はVI/II比を1.0から2.0に変化させることによってZnが取り込まれにくくなるという結果になった。これらのことよりVI/II比を変化させることによるZn組成の変化は一概に述べることができず、複雑な成長機構になっていることが予想される。

以上の結果から、成長基板温度 $450[^\circ\text{C}]$ と比べて $560[^\circ\text{C}]$ にすることによってZn組成が増加し、組成制御性が改善することがわかった。また、過去の研究結果と比べるとZn組成比0.2付近の制御性が向上した。しかし、Zn組成はDMZn供給率や成長基板温度によって複雑な成長機構になっていることが予想される。

### 6.5 成長速度 DMZn供給率依存性

図6-5にホットウォール温度を変化させたときの成長速度-DMZn供給率依存性を示す。また、図6-6にVI/II比を変化させたときの成長速度-DMZn供給率依存性を示す。

図6-5を見ると、DMZn供給率が0.5の場合はホットウォール温度を変化させてもあまり成長速度の変化は見られなかった。しかし、DMZn供給率が0.7の場合は成長速度にばらつきが見られた。ホットウォール温度が $200[^\circ\text{C}]$ 、 $250[^\circ\text{C}]$ 、 $300[^\circ\text{C}]$ の場合を比べると、DMZn供給率を0.5から0.7に変化させることによって負の傾きが小さくなった。過去の研究結果において、DMZn供給率を上昇させることによってZnTeの成長が促進

されることによって成長速度が低くなるという傾向にあった。今回ホットウォール温度が高くなることによって、Znの分解が促進されDMZn供給率を上げた場合でも成長速度が高くなったか、あるいはCdTeの再蒸発が発生しDMZn供給率を下げた場合でも成長速度が低くなったものと考えられる。

図6-6を見ると、ホットウォール温度を300[ ]とした場合は、VI/II比を1.0から2.0に変化させることによって成長速度が速くなった。また、DMZn供給率を0.5から0.7に変化させることによって、VI/II比1.0の場合は成長速度に変化がなく、2.0の場合は成長速度が速くなった。一方、ホットウォール温度を250[ ]とした場合は、VI/II比を1.0から2.0に変化させることによって成長速度が遅くなった。また、DMZn供給率を0.5から0.7に変化させることによって成長速度は減少した。今回ホットウォール温度が高くなることによって、Znの分解が促進されDMZn供給率を上げた場合でも成長速度が速くなったか、あるいはCdTeの再蒸発が発生しDMZn供給率を下げた場合でも成長速度が遅くなったものと考えられる。

以上の結果より、成長速度はDMZn供給率や成長基板温度によって複雑な成長機構になっていることが予想される。

## 6.6 Zn組成 ホットウォール温度依存性

図6-7にZn組成-ホットウォール温度依存性を示す。ホットウォール温度が高くなることによってZn組成が上がるのがわかった。その振る舞いはDMZn供給率0.7の場合は直線的となっている。目標のZn組成0.2付近のホットウォール温度を考える。ホットウォール温度をDMZn供給率0.5の場合は、VI/II比1.0の場合は280[ ]、2.0の場合は260[ ]とし、DMZn供給率0.7の場合は、VI/II比1.0の場合は210[ ]、2.0の場合は220[ ]とすることによってZn組成を目標の0.2に近づけることが可能であると予想される。また、ホットウォール温度による傾きを考えると、制御性は良いといえる。

以上のことにより、ホットウォール温度が高くなることによって原料の分解が促進されたことによって成長速度が高くなったと予想される。

## 6.7 成長速度 ホットウォール温度依存性

図6-8に成長速度-ホットウォール温度依存性を示す。ホットウォール温度が高くなることによって成長速度が速くなるのがわかった。DMZn供給率が0.5の場合は成長速度にはあまり変化が見られなかった。DMZn供給率が0.7の場合はホットウォール温度の上昇にともなって成長速度が増加した。しかし、ホットウォール温度250[ ]と300[ ]を比較すると、VI/II比1.0と2.0の関係は逆転している。

以上のことにより、ホットウォール温度が高くなることによって原料の分解が促進されたことによって成長速度が高くなったと予想される。

## 6.8 PL測定による光学特性の評価

図6-9にPL測定による光学特性の測定結果を示す。図中のxはX線回折による格子定数測定により決定したZn組成を示している。なお、図中の最上段はZnTe、最下段はCdTeの光学特性の測定結果である。Zn組成の変化にともなってDAP発光ピークが高エネルギー側にシフトすることがわかった。このことからCdZnTe結晶が成長していることがわかり、Zn組成が変化していることがPL測定からも確認できた。この傾向は過去の研究と一致している。

図6-10にDAPピークエネルギー-Zn組成特性を示す。DAPピークエネルギーとZn組成特性はほぼ比例関係にあることがわかった。

## 6.9 今後の課題

今回、CdZnTe層のZn組成の制御を行うために、基板温度、ホットウォール温度、VI/II比、Zn供給率を大きく変化させて実験を行った。その結果、Zn組成の制御性が改善した。今後、実験を繰り返し成長過程の詳細を確認し、成長条件の最適化を行う必要がある。また、より良い成長条件になるための傾向を把握する必要がある。

DMZn供給率を変化させるのは成長装置の性能上困難であった。しかし、ホットウォール温度を微調整することによって効率的にZn組成を制御できると考えられる。

## 6.10 まとめ

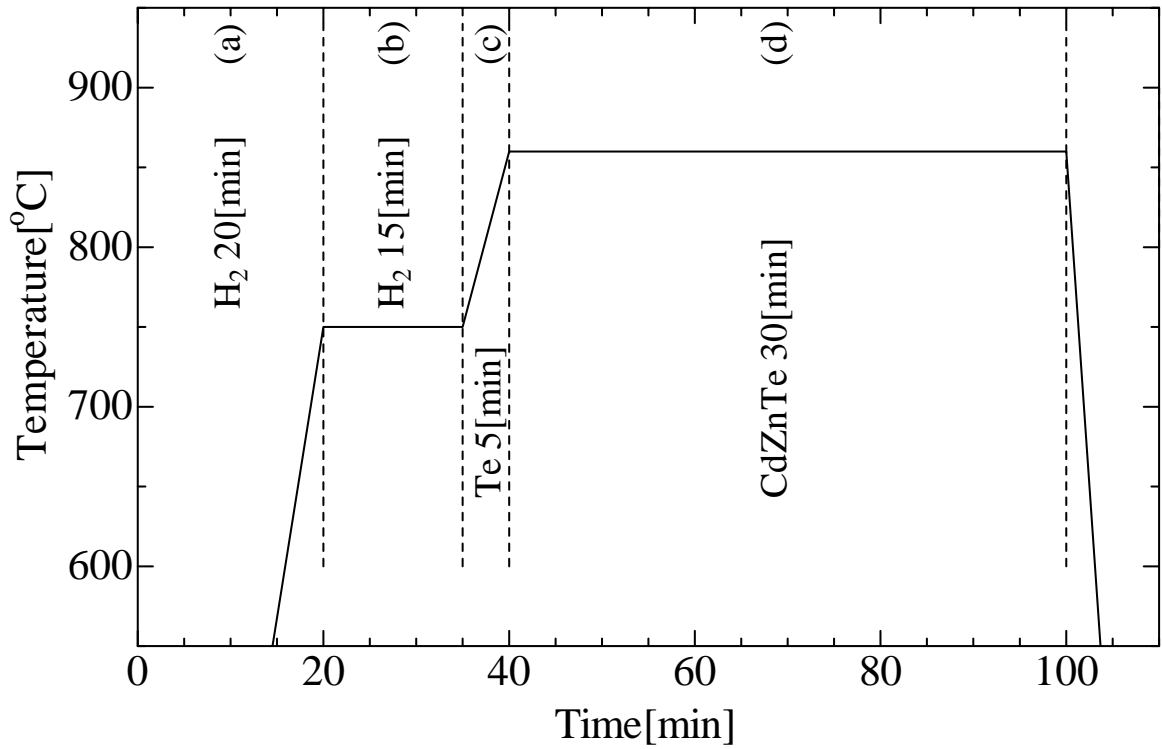
CdTe系材料の放射線検出器の高性能化を目的とし、Znを添加し成長を行った。基板温度、ホットウォール温度、VI/II比、Zn供給率を調整することによってZn組成比0.2付近の制御の改善を行った。得られた結果を以下にまとめる。

- (1) X線回折による結晶性の評価より次のことがわかった。
  - (a) 成長温度を560[ ]に上げ、ホットウォール温度、VI/II比を大きく変化させることにより相分離が減少し、結晶性が向上したことがわかった。
  - (b) 成長条件を大きく変化させることにより単結晶化したCdZnTe層を得ることができた。
- (2) Zn組成 DMZn供給率依存性より次のことがわかった。
  - (a) 成長基板温度を450[ ]とした場合と比べて560[ ]とした場合ではZn組成が上昇した。
  - (b) ホットウォール温度を200[ ]とした場合では過去の研究結果と同じくZnが取り込まれにくかった。また、理論曲線と比べると傾向は一致するが、値が大きく異なった。
  - (c) ホットウォール温度を250[ ]、300[ ]と変化させるとZnが取り込まれやすくなった。Zn組成0.2付近の傾斜を考えると、ホットウォール温度を250[ ]とした場合は急激に通過すると予測されるが、300[ ]とした場合は緩やかに変化するものと予想される。
  - (d) VI/II比を変化させることによるZn組成の変化は一概に述べることができず、複雑な成長機構になっていることが予想される。
- (3) 成長速度 DMZn供給率依存性より次のことがわかった。
  - (a) 今回ホットウォール温度が高くなることによって、Znの分解が促進されDMZn供給率を上げた場合でも成長速度が速くなったか、あるいはCdTeの再蒸発が発生しDMZn供給率を下げた場合でも成長速度が遅くなったものと考えられる。
  - (b) 成長速度はDMZn供給率や成長基板温度によって複雑な成長機構になっていることが予想される。
- (4) Zn組成 ホットウォール温度依存性より次のことがわかった。
  - (a) ホットウォール温度が高くなることによってZn組成が上がるということがわかった。
  - (b) ホットウォール温度をDMZn供給率0.5の場合は、VI/II比1.0の場合は280[ ]、2.0の場合は

260[ ]とし、DMZn供給率0.7の場合は、VI/II比1.0の場合は210[ ]、2.0の場合は220[ ]とすることによってZn組成を目標の0.2に近づけることが可能であると予想される。

- (c) ホットウォール温度による傾きを考えると、制御性は良いといえる。
  - (d) ホットウォール温度が高くなることによって原料の分解が促進されたことによって成長速度が高くなったと予想される。
- (5) 成長速度 ホットウォール温度依存性より次のことがわかった。
- (a) ホットウォール温度が高くなることによって成長速度が速くなることがわかった。
  - (b) ホットウォール温度が高くなることによって原料の分解が促進されたことによって成長速度が速くなったと予想される。
- (6) PL測定による光学特性の評価より次のことがわかった。
- (a) Zn組成の変化にともなってDAP発光ピークが高エネルギー側にシフトすることがわかった。
  - (b) CdZnTe結晶が成長していることがわかり、Zn組成が変化していることがPL測定からも確認できた。
  - (c) DAPピークエネルギーとZn組成特性はほぼ比例関係にあることがわかった。

以上のことより、成長温度を560[ ]とし、ホットウォール温度、VI/II比を精密に調節することによってZn組成を制御することができることがわかった。また、今回Zn組成の制御性が向上した。



- (a) 加熱
- (b) サーマルクリーニング
- (c) 初期Te層成長
- (d) CdZnTe層成長

図6-1 成長条件

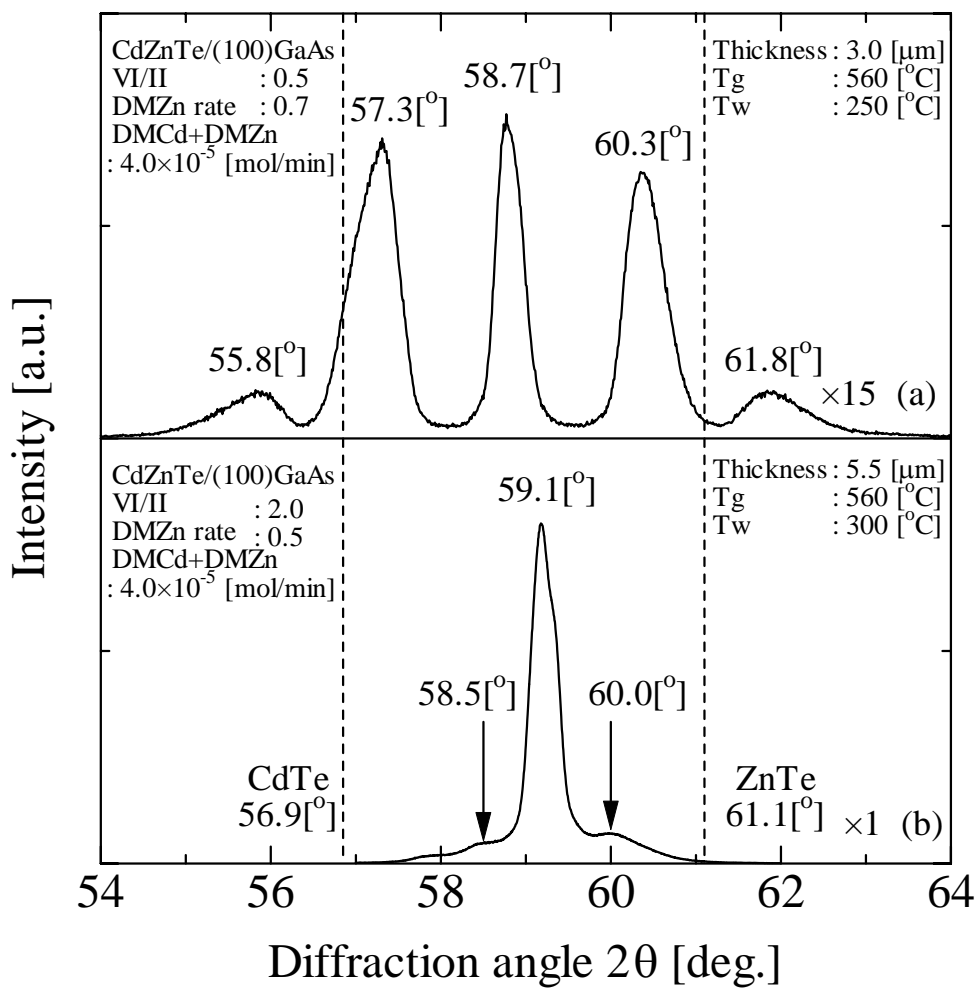


図6-2 結晶性評価

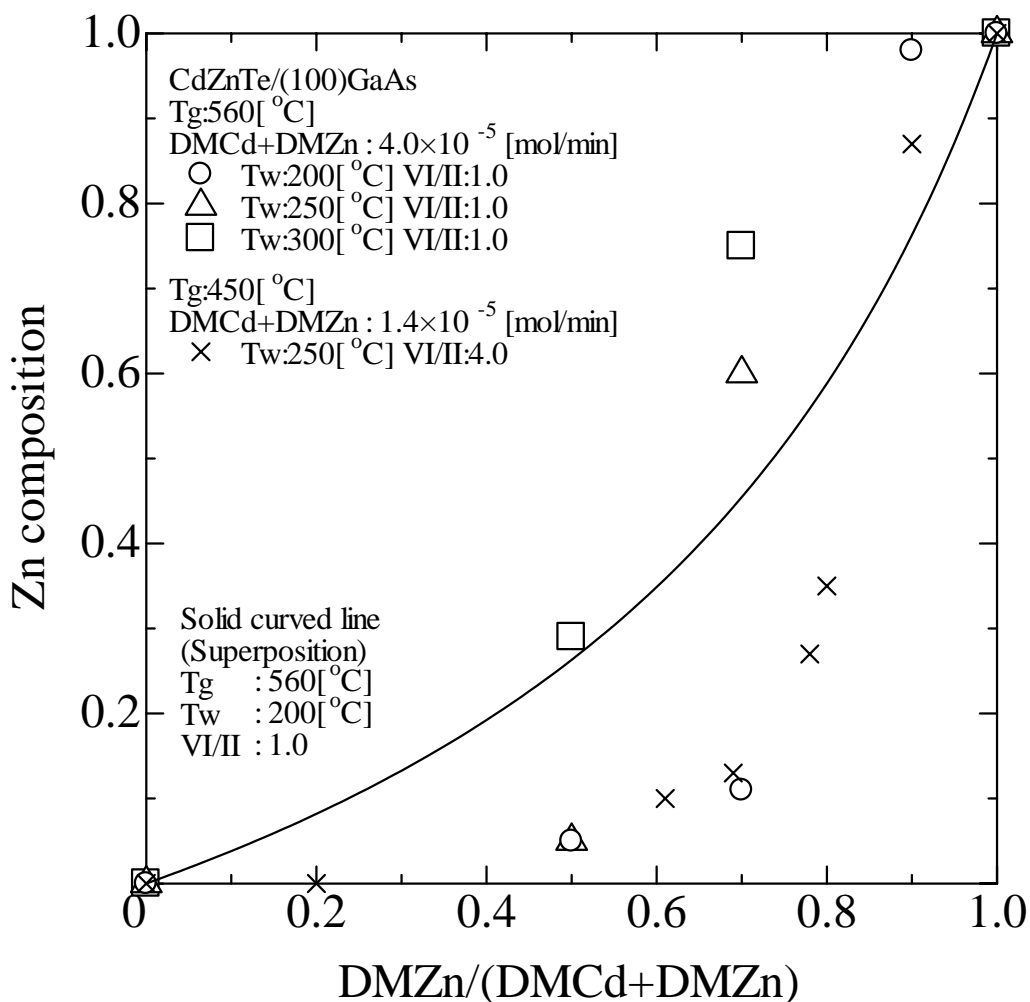


図6-3 Zn組成 DMZn供給率依存性 (Tw依存性)

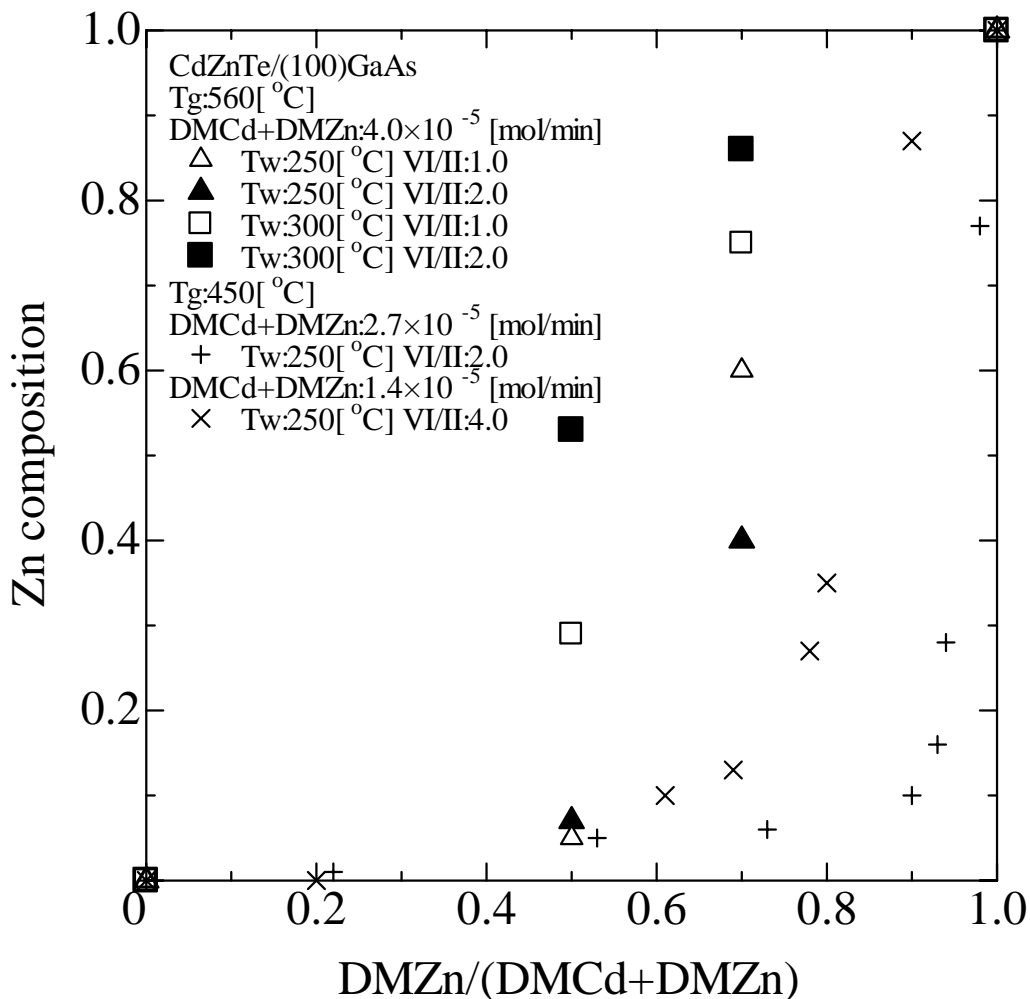


図6-4 Zn組成 DMZn供給率依存性 (VI/II比依存性)

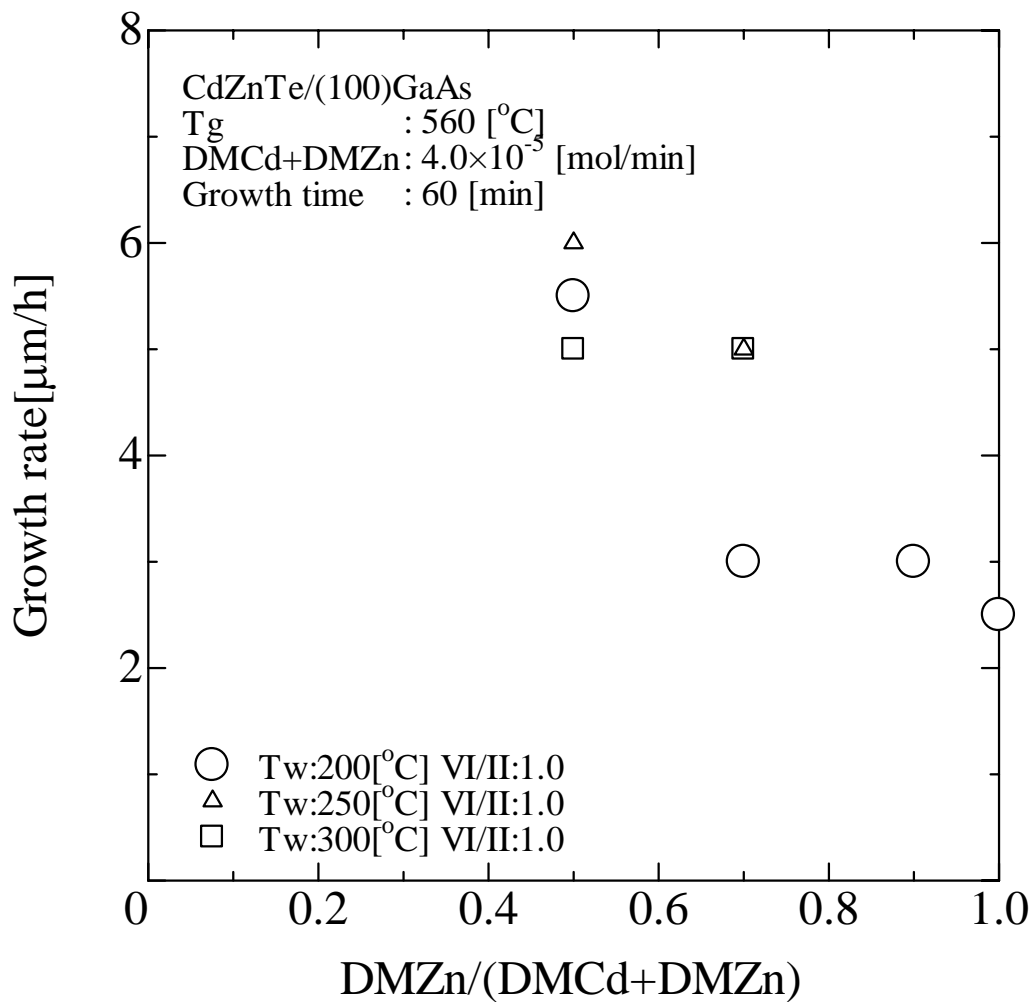


図6-5 成長速度 DMZn供給率依存性  
(Tw依存性)

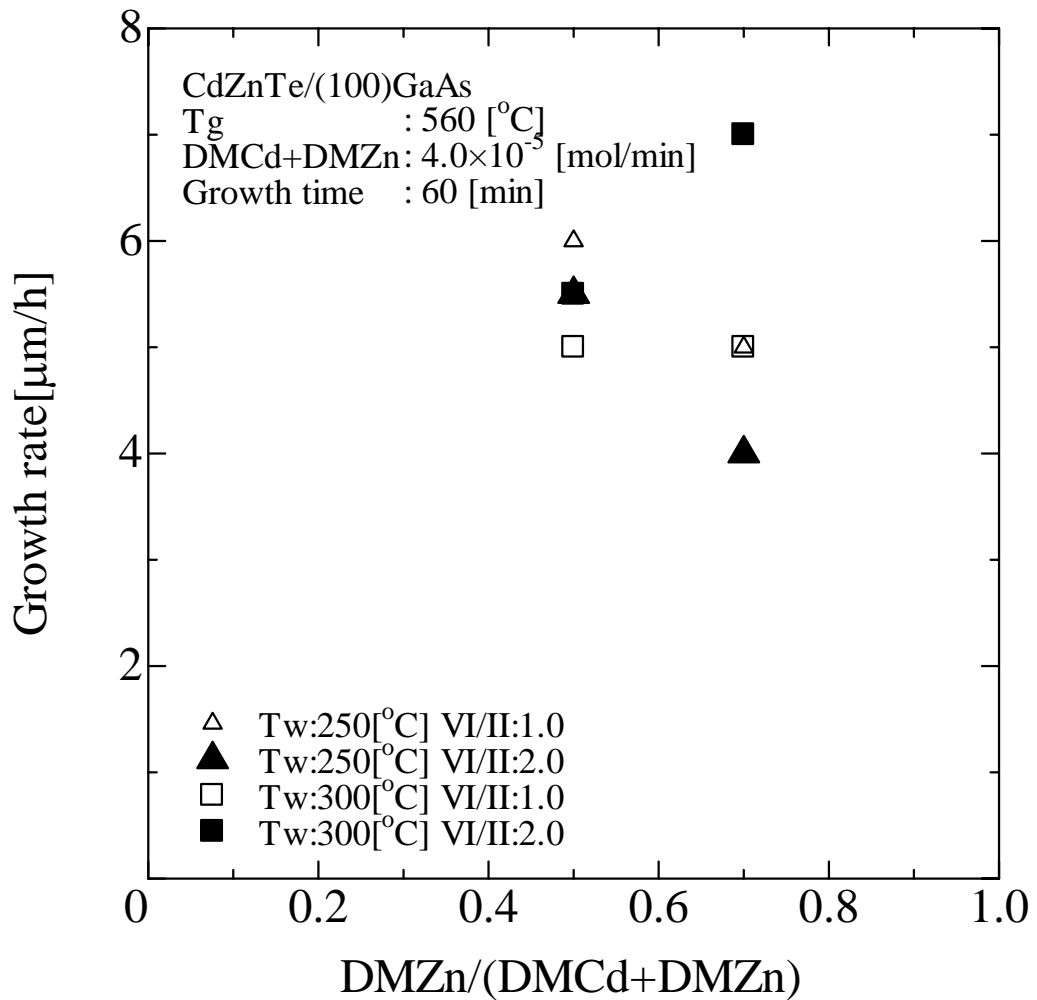


図6-6 成長速度 DMZn供給率依存性  
(VI/II比依存性)

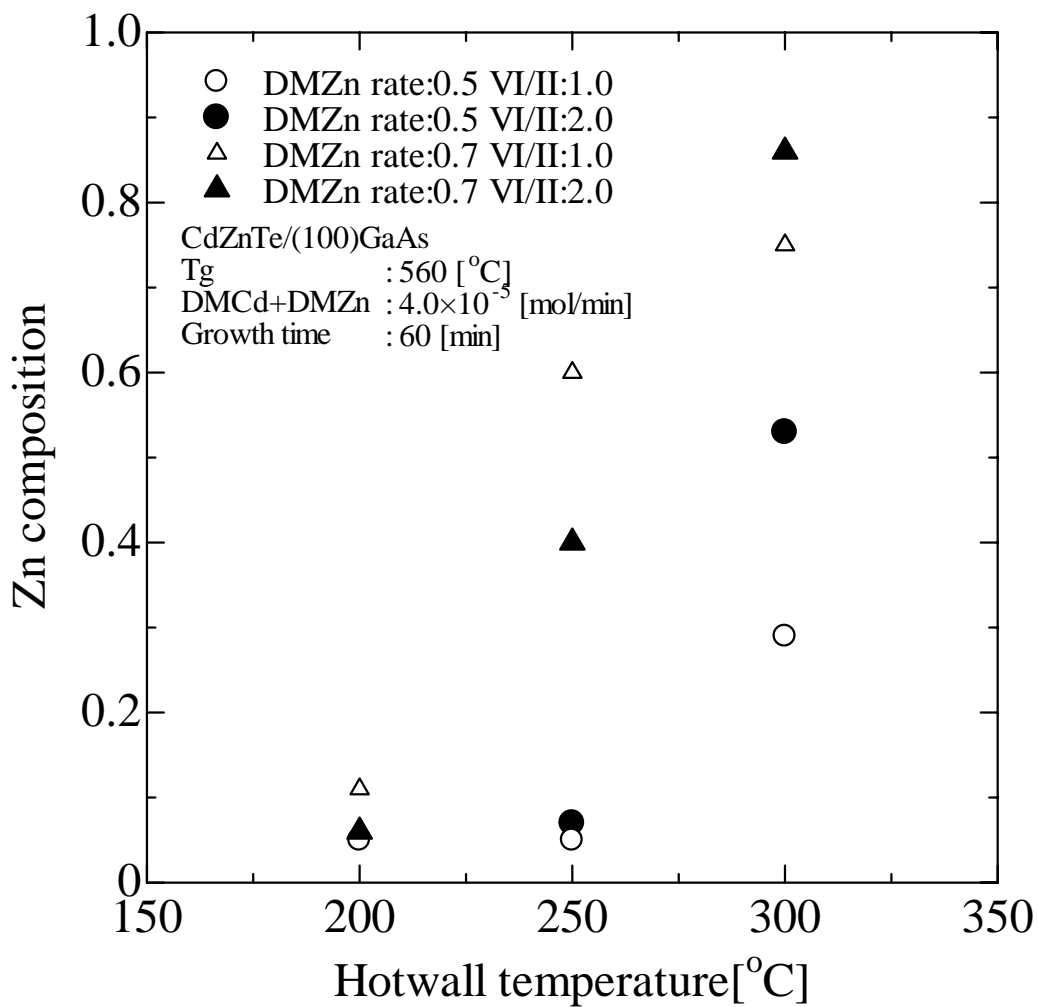


図6-7 Zn組成 ホットウォール温度依存性

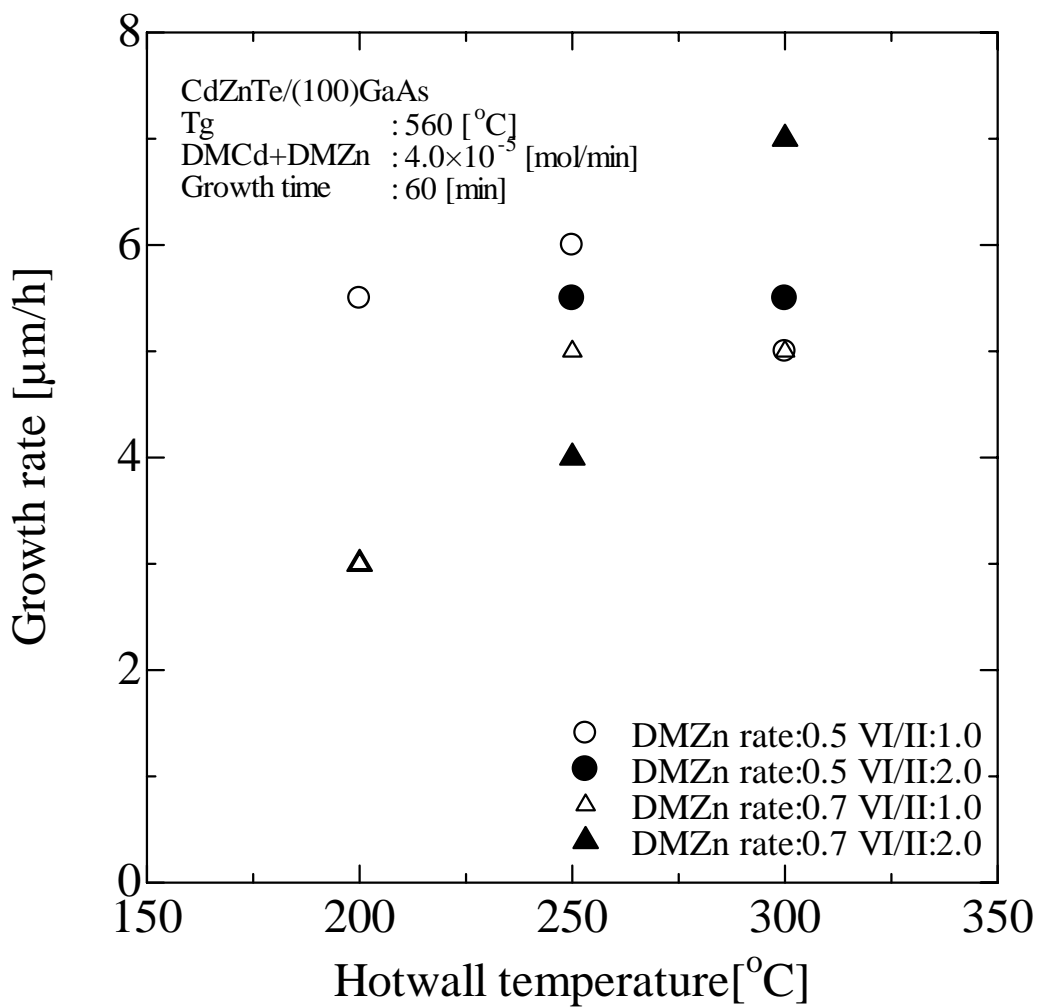


図6-8 成長速度 ホットウォール温度依存性

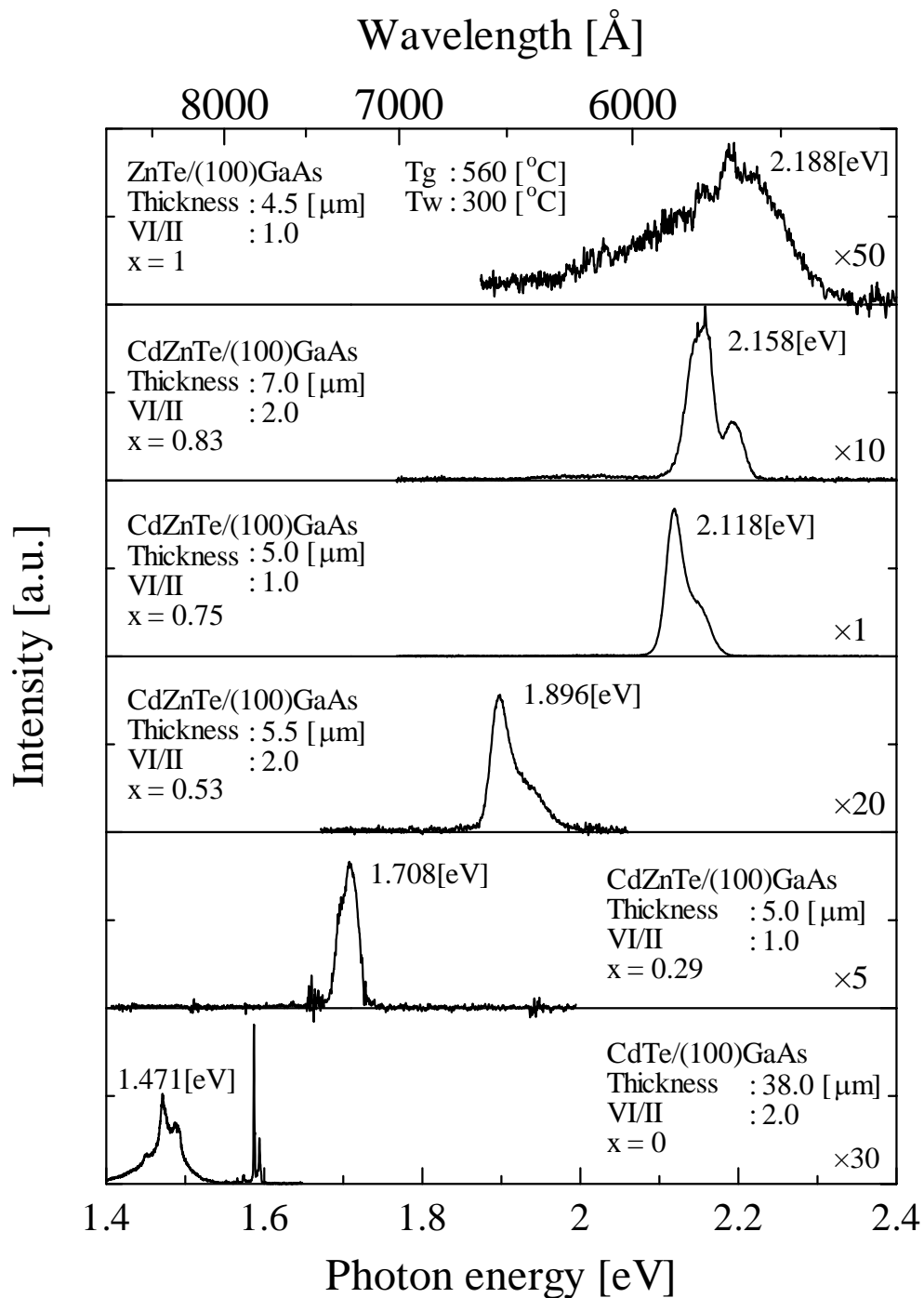


図6-9 PL測定による光学特性

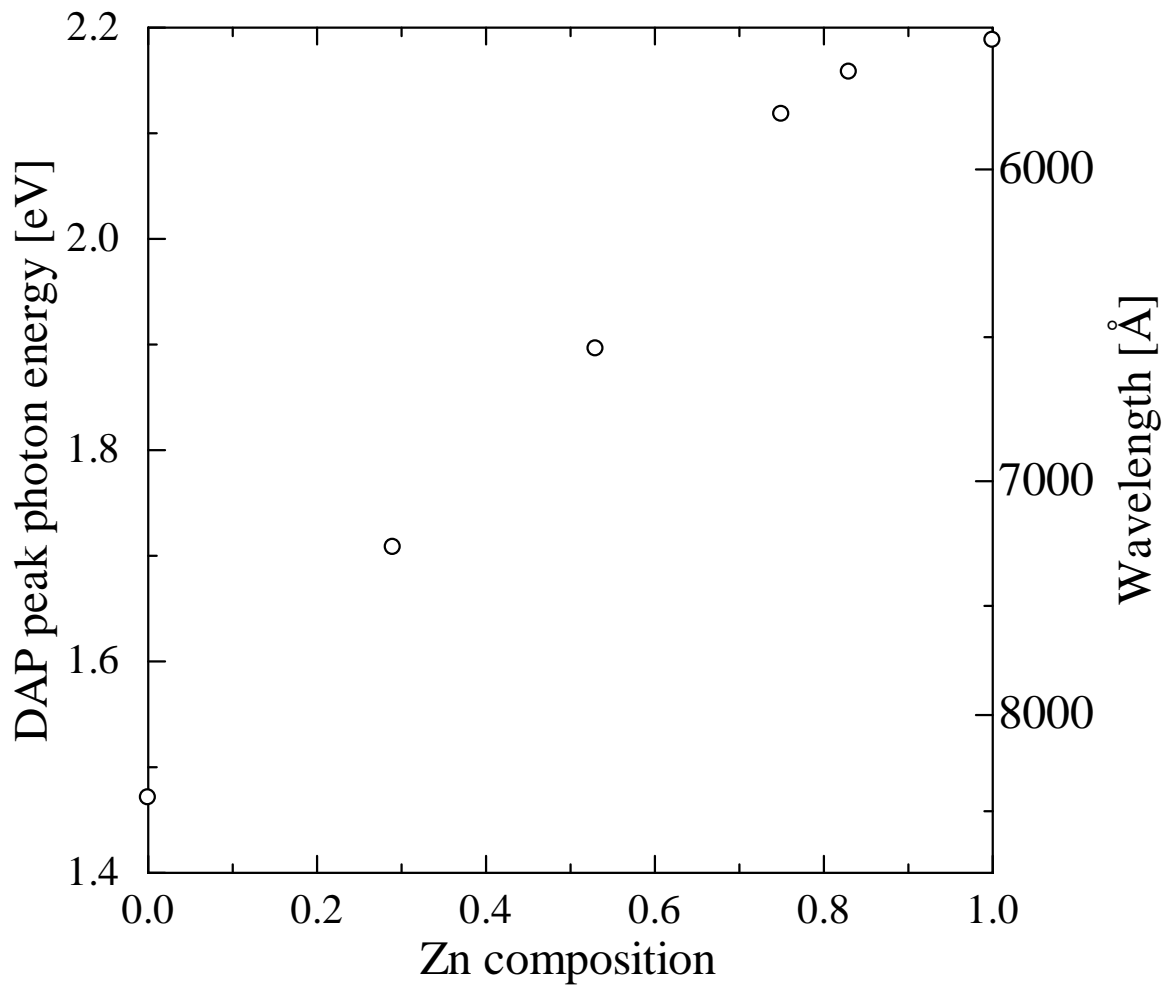


図6-10 DAPピークエネルギー-Zn組成特性

# 第7章

## 結論

本研究の目的は、有機金属気相成長法によるCdTe系材料の厚膜を用いた、高性能大面積X線検出器を実現することである。この目的を実現するための基礎技術の検討として、n<sup>+</sup>GaAs基板上への基板からのGa拡散を防止するための低温CdTeバッファ層とI doped CdTeバッファ層を利用したヘテロ接合型ダイオードX線検出素子の試作と特性評価、Ga拡散の防止と検出器の大面積化に必要なSi基板上へのCdTe成長、GaAs基板上へのCdZnTeの成長とZn組成制御を行った。

- [1] CdTe厚膜層を用いたダイオードの作製と電気特性評価
- [2] 大面積化と電気特性の改善を目的とするSi基板上へのCdTe層の成長と結晶性評価
- [3] 検出器の性能向上を目的とするCdZnTe層の成長と結晶性評価

### [1] CdTe厚膜層を用いたダイオードの作製と電気特性評価

低温CdTeバッファ層の成長基板温度を415[ ]一定、CdTe厚膜成長時の成長基板温度560[ ]一定としてCdTe厚膜層をn<sup>+</sup>GaAs基板上に成長させた。得られたCdTe厚膜層の表面モフォロジの評価、2結晶X線回折による結晶性の評価、電流-電圧特性の評価、容量-電圧特性の評価、Hall測定による電気特性の評価を行った。得られた結果を以下にまとめる。

第3章の低温CdTeバッファ層形成したダイオードの作製と評価より以下のことがわかった。

- (1) 表面モフォロジの評価より次のことがわかった。
  - 電極およびガードリングには多数のヒロックが存在することがわかった。また、一部にはダストも確認できた。
- (2) 2結晶X線回折による結晶性の評価より次のことがわかった。
  - (a) DCRC半値幅を計測したところ、n<sup>+</sup>GaAs基板上に膜厚38[μm]成長させた場合では65[arcsec.]であった。また、GaAs基板上に膜厚38[μm]成長させた場合では43[arcsec.]であった。
  - (b) 高品質な結晶が作製されているといえる。
- (3) 電流-電圧特性の評価より次のことがわかった。
  - (a) 整流性の評価より次のことがわかった。
    - 電流は想係数nが2以上になったため大電流領域における半導体基板の直列抵抗による

電圧降下であると考えられる。

順方向電圧5[V]において電流密度は $162[\mu\text{A}/\text{cm}^2]$ であり、逆方向電圧10[V]、100[V]において逆方向電流密度はそれぞれ $0.43[\mu\text{A}/\text{cm}^2]$ 、 $7.72[\mu\text{A}/\text{cm}^2]$ となった。

順方向、逆方向の電流 電圧特性の関係から整流性の良いダイオードであることがわかった。

- (b) 逆方向電流 電圧特性の評価より次のことがわかった。

ガードリングを用いなかった場合、逆方向電圧10[V]、100[V]において逆方向電流密度はそれぞれ $1.94[\mu\text{A}/\text{cm}^2]$ 、 $35.5[\mu\text{A}/\text{cm}^2]$ 、ガードリングを用いた場合、逆方向電圧10[V]、100[V]において逆方向電流密度はそれぞれ $0.43[\mu\text{A}/\text{cm}^2]$ 、 $7.72[\mu\text{A}/\text{cm}^2]$ となった。

ガードリングを用いることで電極横方向の電流が低下することがわかった。

電流は逆方向電圧10[V]までは電圧の1/2乗にほぼ比例し、10[V]以上になると電圧の1/2乗以上に比例するようになることがわかった。

ガードリングを用いることにより電極横方向のリーク電流の低減化を行うことはできた。

リーク電流発生原因として結晶内部の欠陥や成長表面の凹凸による影響が考えられる。

- (c) 逆方向電流 電圧特性の温度特性の評価より次のことがわかった。

温度の上昇により電流が増加することがわかった。

逆方向電圧の電流密度方程式を用いて活性化エネルギー  $E_a$  を求めた。価電子帯から  $E_a=0.81 \sim 0.86[\text{eV}]$  の位置にトラップ準位があることがわかった。

CdTeのバンドギャップが $1.49[\text{eV}]$ であることを考えると、価電子帯と伝導帯の中央付近となり、深い不純物準位であることがわかった。

確認された深い準位のトラップの存在はGa拡散によるものと考えられる。

- (d) 逆方向電流 電圧特性のダイオード径依存特性の評価より次のことがわかった。

逆方向電圧10[V]、100[V]ともに電極半径の2乗に比例して電流が増加していることがわかった。この結果から、ダイオード周囲からのリーク電流の影響は少ないと考えられる。

径が同じであっても電流のばらつきが大きい理由として、成長表面の凹凸や結晶内部の欠陥の存在による影響が考えられる。

- (4) 容量 電圧特性の評価より次のことがわかった。

- (a) 逆方向電圧1 ~ 40[V]で空乏層容量 $1000 \sim 560[\text{pF}/\text{cm}^2]$ 程度であった。過去の研究結果では逆方向電圧1 ~ 10[V]で $121 \sim 120[\text{pF}/\text{cm}^2]$ 程度であった。電圧が上昇すると空乏層容量が低下する傾向があり、過去の研究結果よりも空乏層容量の変化が大きくなった。

- (b) 不純物濃度は $1.0 \times 10^{14} \sim 1.5 \times 10^{15}[\text{cm}^{-3}]$ 程度であった。この値はn<sup>+</sup>GaAs基板の不純物濃度より極めて小さい値といえる。

- (c) 過去の研究において不純物濃度は $10^{11}[\text{cm}^{-3}]$ 程度であった。過去の研究に比べ不純物濃度が増加した。これによりCdTe層中のCd空孔とGaによる補償が減少したといえる。

- (d) 基板とCdTe厚膜層の不純物濃度を式(3-5)に適用することにより、p型基板側へ空乏層が広がるものと考えられる。

- (e) 逆方向電圧1 ~ 40[V]の間で空乏層幅 $10 \sim 20[\mu\text{m}]$ 程度の変化が見られた。CdTe厚膜層の

膜厚が40[ $\mu\text{m}$ ]であるので、空乏層はCdTe厚膜層の半分以下であることがわかった。

- (f) 低温CdTeバッファ層を用いることで、逆方向電圧による容量が変化し、同時に空乏層幅の変化が見られた。逆方向電圧40[V]程度において膜厚の半分程度であるので、完全に空乏層が広がりきらない領域であるということがわかった。
- (g) 拡散電位 $V_d=1 \sim 3$ [V]程度であると考えられる。
- (h) 低温CdTeバッファ層を用いることによってGa拡散を低減し、その後成長基板温度560[ ]で高速に成長させることが可能であることがわかった。

(5) Hall測定による電気特性の評価より次のことがわかった。

- (a) 膜厚38[ $\mu\text{m}$ ]のCdTe厚膜層の抵抗率は $7.2 \times 10^5 \sim 7.4 \times 10^5$ [ $\Omega\text{cm}$ ]程度を示した。
- (b) 抵抗率が減少したことによりGa拡散の量が減少したと考えられる。

つまり、低温CdTeバッファ層を成長させることによってGa拡散を減少させ、その後560[ ]で高速にCdTe厚膜層を成長できることがわかった。

I doped CdTeバッファ層の成長基板温度を325[ ]一定、CdTe厚膜成長時の成長基板温度560[ ]一定としてCdTe厚膜層をn+GaAs基板上に成長させた。得られたCdTe厚膜層の表面モフォロジの評価、2結晶X線回折による結晶性の評価、電流-電圧特性の評価、容量-電圧特性の評価TOF測定によるキャリア輸送特性の評価を行った。また、リーク電流の低減化を目的としたパッシベーションによる電気特性の改善を行った。得られた結果を以下にまとめる。

第4章のI doped CdTeバッファ層を形成したダイオードの作製と評価より以下のことがわかった。

- (6) 表面モフォロジの評価より次のことがわかった。
  - (a) 5時間成長と8時間成長ともにダスト、ヒロックは確認されず、良好な表面であるといえる。
  - (b) 5時間成長より8時間成長の結晶の大きさが大きくなっていることがわかる。また、ともに結晶表面には凹凸が見られる。
- (7) 2結晶X線回折による結晶性の評価より次のことがわかった。
  - (a) I doped CdTeバッファ層のDCRC半値幅は400 ~ 200[arcsec.]程度であった。
  - (b) I doped CdTeバッファ層上にCdTe厚膜成長を行うことによって結晶性は改善し、150 ~ 50[arcsec.]程度となった。
  - (c) 膜厚55[ $\mu\text{m}$ ]においては51[arcsec.]となり、高品質な結晶が作製されているといえる。
- (8) 電流 電圧特性の評価より次のことがわかった。
  - (a) 整流性の評価より次のことがわかった。

電流は想係数 $n$ が2以上になったため大電流領域における半導体基板の直列抵抗による電圧降下であると考えられる。

順方向電圧5[V]において電流密度は $312[\mu\text{A}/\text{cm}^2]$ であり、逆方向電圧10[V]、100[V]において逆方向電流密度はそれぞれ $3.14[\mu\text{A}/\text{cm}^2]$ 、 $56.5[\mu\text{A}/\text{cm}^2]$ となった。

順方向、逆方向の関係から整流性の良いダイオードであることがわかった。

- (b) 逆方向電流 電圧特性の温度特性の評価より次のことがわかった。

価電子帯から活性化エネルギー $E_a=0.77 \sim 0.79[\text{eV}]$ の位置にトラップ準位があることがわかった。

CdTeのバンドギャップが $1.49[\text{eV}]$ であることを考えると、価電子帯と伝導帯の中央付近となり、深い不純物準位であることがわかった。

- (c) 逆方向電流 電圧特性のダイオード径依存特性の評価より次のことがわかった。

逆方向電圧10[V]、100[V]ともに電極半径の2乗に比例して電流が増加していることがわかった。この結果から、ダイオード周囲からのリーク電流の影響は少ないと考えられる。

径が同じであっても電流のばらつきが大きい。また、電圧が低いほうがばらつきは大きい。

これは結晶内部の欠陥の存在による影響が考えられる。

- (9) 容量 電圧特性の評価より次のことがわかった。

- (a) 逆方向電圧1 ~ 40[V]で空乏層容量 $360 \sim 170[\text{pF}/\text{cm}^2]$ 程度であった。

- (b) 電圧が上昇すると空乏層容量が低下する傾向があり、過去の研究結果よりも空乏層容量の変化が大きくなった。

- (c) 不純物濃度を求めると $7.8 \times 10^{12} \sim 5.1 \times 10^{13}[\text{cm}^{-3}]$ 程度であった。この値は $n^+\text{GaAs}$ 基板の値より極めて小さい値といえる。

- (d) 基板とCdTe厚膜層の不純物濃度を式(3-5)に適用することにより、p型基板側へ空乏層が広がるものと考えられる。

- (e) ヨウ素ドーピングしなかった場合のほうが高かった。このことよりヨウ素をドーピングするとGaが拡散しやすくなることがわかった。

- (f) 逆方向電圧1 ~ 40[V]の間で $20 \sim 50[\mu\text{m}]$ 程度の空乏層幅の変化が見られた。CdTe厚膜層の膜厚が $95[\mu\text{m}]$ であるので、空乏層はCdTe厚膜層の半分以下であることがわかった。

- (g) I doped CdTeバッファ層を用いることで、逆方向電圧による容量が変化し、同時に空乏層幅の変化が見られた。逆方向電圧40[V]程度において膜厚の半分程度であるので、完全に空乏層が広がりきらない領域であるということがわかった。

- (h) 拡散電位 $V_d=0 \sim 2[\text{V}]$ 程度であることがわかった。

- (i) I dope CdTeバッファ層を用いることによってpn接合面の転位を減少させ、低温CdTeバッファ層を用いることによってGa拡散を低減し、成長基板温度 $560[^\circ\text{C}]$ で高速に成長させることが可能であることがわかった。

- (10) TOF測定によるキャリア輸送特性の評価より次のことがわかった。

- (a) 逆方向電圧0[V]時においても出力電流が観測されたことから、pn接合が形成されていると考えられる。

- (b) バイアスが大きいほどその振動が収束するのが早いことがわかり、キャリアのドリフトが観測さ

れた。

(c) この波形が振動している理由として、回路内部の反射が影響しているものと考えられる。

(d) 逆方向電圧4[V]、6[V]、10[V]の計測結果を用いて最小二乗法を用いて外挿すると、移動度  $\mu = 920[\text{cm}^2/\text{Vs}]$ となった。また、この直線は原点を通ることを考慮して最小二乗法を用いて外挿すると、移動度  $\mu = 1180[\text{cm}^2/\text{Vs}]$ となった。CdTeの移動度  $\mu = 1200[\text{cm}^2/\text{Vs}]$ であることを考慮すると、この結晶は非常に良い移動度を示していると言える。

(11) パッシベーションによる電気特性の改善より次のことがわかった。

(a) 逆方向電流 電圧特性の評価より次のことがわかった。

パッシベーションを行った後にガードリング形成を行ったほうが、ガードリング形成後にパッシベーションを行うよりリーク電流を低減されることがわかった。

つまり、I doped CdTeバッファ層を成長させることによりpn接合面が基板から移動し、pn接合面の転位密度は減少したと考えられる。また、低温CdTeバッファ層を用いることによってGa拡散を低減し、成長基板温度560[ ]で高速に成長させることが可能であることがわかった。それによりキャリアのドリフトが観測されるようになり、良好なCdTe厚膜層を得るにいたった。

## [2] 大面積化と電気特性の改善を目的とするSi基板上へのCdTe層の成長と結晶性評価

CdTe厚膜成長時の成長基板温度560[ ]一定としてCdTe厚膜層をZnS/Si基板上に成長させた。得られたCdTe厚膜層の表面モフォロジの評価、X線回折による結晶性の評価、PL測定による光学特性の評価を行った。得られた結果を以下にまとめる。

第5章のZnS/Si基板上へのCdTe層成長と評価より以下のことがわかった。

(12) 表面モフォロジの評価より次のことがわかった。

(a) 成長時間が増加することによって結晶の大きさは大きくなった。

(b) 成長時間30分以上になるとダストが増加することがわかった。このことより成長30分後にダストの原因となるドロップレットの発生を抑制する必要がある。

(13) X線回折による結晶性の評価より次のことがわかった。

(a) 30分成長の場合は(111)方向の成長が多く、(220)方向と(311)方向にもわずかに成長していることがわかった。

(b)  $56.8^\circ$ 付近の(400)方向の成長は30分成長の場合ではほとんど観測されなかった。

(c) 低温CdTeバッファ層を用いた場合は、(311)方向の成長が抑制されている。また、(111)方向のピークは他のピークと比べて15倍以上強度が強い。このことからほぼ単結晶になっていることがわかった。

(d) 60分成長させた場合、強度が弱まった。また、180分成長ではさらに強度が弱くなり、(400)方向の成長も観測され多結晶化していることがわかった。

(e) ZnS/Si基板を用いることによって、CdTe単結晶を成長させることが可能であることがわかった。

(14) PL測定による光学特性の評価より次のことがわかった。

- (a) 4.2[K]の液体ヘリウム中でPL測定を行っても、ZnS/Si基板上的CdTe層に剥離は起こらなかった。
- (b) 励起子発光やドナー・アクセプタ対発光が観測された。
- (c) 研究結果と比較すると、励起子発光のピークは0.005 ~ 0.007[eV]程度低エネルギー側にシフトしている。
- (d) CdTe層にかかる基板からの引張り歪みの量が大きくなったといえる。
- (e) 膜厚が大きくなると歪みの量が大きくなることから、Si基板とCdTe層の熱膨張係数の違いによる歪みの量が大きくなったものと考えられる。

以上のことより、Si基板上にCdTe層を成長させるには中間層を挟むことによって剥離の影響を低減させることができることがわかった。今後、ZnSの膜厚の調整、他の材料の検討を行う必要がある。

### [3] 検出器の性能向上を目的とするCdZnTe層の成長と結晶性評価

CdTe系材料の高性能化を目的とし、Znを添加し成長を行った。基板温度、ホットウォール温度、VI/II比、Zn供給率を調整することによってZn組成比0.2付近の制御の改善を行った。得られた結果を以下にまとめる。

第6章のGaAs基板上へのCdZnTe層成長と評価より以下のことがわかった。

(15) X線回折による結晶性の評価より次のことがわかった。

- (a) 成長温度を560[ ]に上げ、ホットウォール温度、VI/II比を大きく変化させることにより相分離が減少し、結晶性が向上したことがわかった。
- (b) 成長条件を大きく変化させることにより単結晶化したCdZnTe層を得ることができた。

(16) Zn組成 DMZn供給率依存性より次のことがわかった。

- (a) 成長基板温度を450[ ]とした場合と比べて560[ ]とした場合ではZn組成が上昇した。
- (b) ホットウォール温度を200[ ]とした場合では過去の研究結果と同じくZnが取り込まれにくかった。また、理論曲線と比べると傾向は一致するが、値が大きく異なった。
- (c) ホットウォール温度を250[ ]、300[ ]と変化させるとZnが取り込まれやすくなった。Zn組成0.2付近の傾斜を考えると、ホットウォール温度を250[ ]とした場合は急激に通過すると予測されるが、300[ ]とした場合は緩やかに変化するものと予想される。
- (d) VI/II比を変化させることによるZn組成の変化は一概に述べることができず、複雑な成長機構になっていることが予想される。

- (17) 成長速度 DMZn供給率依存性より次のことがわかった。
- (a) 今回ホットウォール温度が高くなることによって、Znの分解が促進されDMZn供給率を上げた場合でも成長速度が速くなったか、あるいはCdTeの再蒸発が発生しDMZn供給率を下げた場合でも成長速度が遅くなったものと考えられる。
  - (b) 成長速度はDMZn供給率や成長基板温度によって複雑な成長機構になっていることが予想される。
- (18) Zn組成 ホットウォール温度依存性より次のことがわかった。
- (a) ホットウォール温度が高くなることによってZn組成が上がるということがわかった。
  - (b) ホットウォール温度をDMZn供給率0.5の場合は、VI/II比1.0の場合は280[ ]、2.0の場合は260[ ]とし、DMZn供給率0.7の場合は、VI/II比1.0の場合は210[ ]、2.0の場合は220[ ]とすることによってZn組成を目標の0.2に近づけることが可能であると予想される。
  - (c) ホットウォール温度による傾きを考えると、制御性は良いといえる。
  - (d) ホットウォール温度が高くなることによって原料の分解が促進されたことによって成長速度が高くなったと予想される。
- (19) 成長速度 ホットウォール温度依存性より次のことがわかった。
- (a) ホットウォール温度が高くなることによって成長速度が速くなるということがわかった。
  - (b) ホットウォール温度が高くなることによって原料の分解が促進されたことによって成長速度が速くなったと予想される。
- (20) PL測定による光学特性の評価より次のことがわかった。
- (a) Zn組成の変化にともなってDAP発光ピークが高エネルギー側にシフトすることがわかった。
  - (b) CdZnTe結晶が成長していることがわかり、Zn組成が変化していることがPL測定からも確認できた。
  - (c) DAPピークエネルギーとZn組成特性はほぼ比例関係にあることがわかった。

以上のことより、成長温度を560[ ]とし、ホットウォール温度、VI/II比を精密に調節することによってZn組成を制御することができることがわかった。また、今回Zn組成の制御性が向上した。

## 参考文献

---

- 1) S.O. Kasap, John Rowlands, B. Fogal, M. Zahangir Kabir, G. Belev, N. Sidhu, Brad Polischuk, Robert E. Johanson, *J. Non-Cryst. Solids* 299(2002)988
- 2) J. P. Moy, *Thin Solid Films*, 337(1999)213
- 3) K. Yasuda, M. Niraula, T. Ishiguro, Y. Kawauchi, H. Morishita, and Y. Agata, *Jpn. J. Appl. Phys.* 41 (2002) L1109.
- 4) M. Ekawa, K. Yasuda, T. Ferid, M. Saji and A. Tanaka, *J. Appl. Phys.* 71(1992)2669
- 5) K. Yasuda, K. Kojima, K. Mori, Y. Kubota, T. Nimura, F. Inukai and Y. Asai, *J. Electron. Mater.* 27(1998)527
- 6) M. Hage-Ali, P. Siffert, Semiconductors for room temperature unclar detector application, in: T. E. Sehlesinger, R. B. James (Eds.), *Semiconductors and Semimetals*, Vol. 43, Academic Press, San Diego, 1995.
- 7) Kazuhito Yasuda, Mitsuru Ekawa, Nobuyuki Matsui, Syuji Sone, Yoshiyuki Sugiura, Akikazu Tanaka, and Manabu Saji. *Jan. J. Appl. Phys.* 29(1990)479
- 8) H. Tatsuoka, and H. Kuwabara *J. Appl. Phys.* 65(1989)2073
- 9) Kazuhito Yasuda, Tomoaki Ishiguro, Yasuhiro Kawauchi, Hiroshi Morishita (2001)
- 10) Gerald.B. Stringfellow, *Organometallic Vapor-Phase Epitaxy*, p.25, 43 (Academic Press, INC., San Diego, 1989)
- 11) Gerald.B. Stringfellow, *Organometallic Vapor-Phase Epitaxy*, p.168, 43 (Academic Press, INC., San Diego, 1989)
- 12) S.J.C. Irvine, J.B. Mullin, J. Giess, J.S. Gough, A. Royle and G. Crimes *J. Cryst. Growth* 93 (1988) 732
- 13) A.C. Jones, *J. Cryst. Growth* 129 (1993) 728
- 14) Gerald.B. Stringfellow, *Organometallic Vapor-Phase Epitaxy*, p.44, 43 (Academic Press, INC., San Diego, 1989)
- 15) A.V.Rybka, S.A.Leonov, I.M.Prokhoretz, A.S.Abyzov, L.N.Davydov, V.E.Kutny, M.S.Rowland, C. F.Smith, Influence of detector surface processing on detector performance, *Nuclear Instruments and Methods in Physics Resarch A*, 2001
- 16) A.Niemela, H.Sipila : *IEEE Trans.Nucl.Sci.NS41*, p.1054, (1994)

## 謝辞

---

本研究の最後にこの場を借りて感謝の意を述べさせていただきます。

安田研究室におきましては研究の意義や研究活動のご指導賜りました安田和人教授に感謝いたします。各種計測や理論をご教示いただいたNiraura Madan助手に感謝いたします。さまざまな面で面倒を見ていただきました安形保則技官に感謝いたします。TOF測定を行っていただきました北海道工業大学の鈴木和彦教授に感謝いたします。ZnS層の電子ビーム蒸着を行っていただきました静岡大学の中西洋一郎先生に感謝いたします。X線回折測定を行うにあたり計測機器をお借りいたしました計測分析センターの皆様感謝いたします。PL測定においては手取り足取り指導していただきました井村仁美技官に感謝いたします。

研究全般にわたり研究のご指導をいただいた内田圭先輩に感謝いたします。さまざまな質問に答えていただきました中西祐太郎先輩に感謝いたします。研究の難しさを教えていただきました馬淵崇先輩に感謝いたします。研究の協力をいただいた富永真基先輩、高木孔太郎先輩、山本祐輔先輩、草間啓年先輩に感謝いたします。

本研究の支えになっていただきました大西浩文氏に感謝いたします。多面にわたって支援いただいた堀田正実氏に感謝いたします。

最後に、本学に入学するにあたり支援と扶養、研究にあたり心配をかけました母と姉に感謝いたします。